

# A/D 轉換器的量子化問題研究

莊謙本

國立臺灣師範大學

## 摘要

量子化是把一系列的類比信號轉換成分立式的數位信號，以便數位計算機處理它的轉換函數為非線性函數。如果量子化元件的輸入信號可以涵蓋所有的類比信號值，則其輸入與輸出間會有誤差及雜訊產生。但各種A/D轉換器的誤差並不相同，因此我們必需先問“使用何種A/D轉換器”，然後才能探討其量子化的誤差情況。

本研究根據理論探討及實驗證實，發現下列減少量子化誤差的方法：

1. 盡量使用CMOS A/D轉換器，因為它比雙極性IC的轉換特性良好。
2. 使用固定金屬被膜電阻器較其他型電阻的溫度特性良好。
3. 使用低漏電的鉭質電容，可以減少失真。
4. 使用矽二極體以作熱補償電路，可以防止因溫度改變而造成的失真。
5. 不要讓輸入信號幅度大於直流電源電壓。
6. 使用適當的取樣/保持電路，可以減少編碼的漏失。
7. 使用活性低通濾波器，以衰減太大的輸入信號，使便於處理。
8. 類比信號線與數位信號線必需分開，且盡量不要平行排列，以免造成干擾。
9. 電路所有接地線最好接到一點，以免因些微的電壓差造成雜訊。
10. 當無輸入信號時，將A/D轉換器的輸入電壓設定（或調整）在比“所有位元均為零”時高出 $1/2$  LSB的位置——此為歸零調整。當輸入信號最大時，將A/D轉換器的輸入電壓調整到比“所有位元均為1”時低 $1/2$  LSB的位置——此為增益調整。如此可以保證該A/D轉換器的工作預備情況良好。

## 壹. 前言

量子化 (Quantizing) 與編碼 (Coding) 是 A/D轉換器的兩個主要步驟。量子化是把一個連續的類比信號轉換成一組分離式輸出狀態，而編碼則賦予每個輸出狀態一個數位碼，以便進入數位電算機或數位電路中處理。(註1)

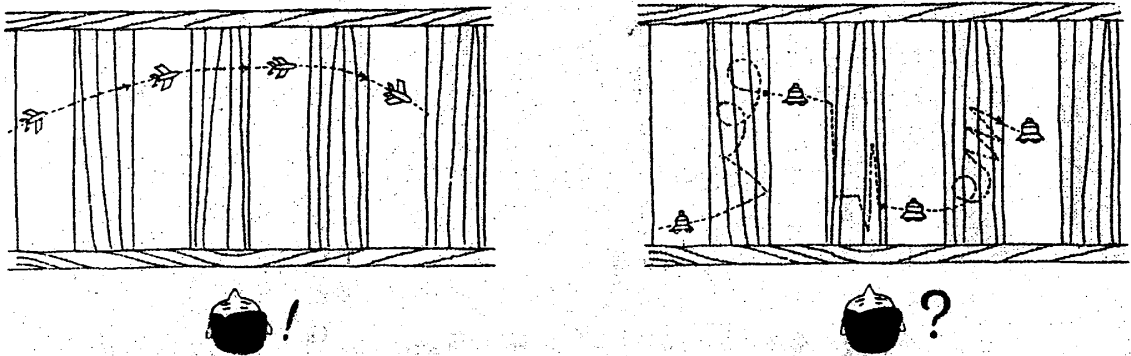
目前在數位電視 (Digital Television)，數位音響 (Digital Audio) 與電子計算機的影像處理均使用高解析度的 A/D轉換器。要言之，如果沒有 A/D轉換器，這些器材均無法有效的工作。而 A/D轉換器品質的良窳則決定於量子化與編碼的設計。(註2)

通常我們根據準確度 (accuracy)，轉換速度 (conversion speed)，輸出功率 (power output) 將 A/D轉換器分類。但若要仔細考量 A/D轉換器的特性

，就必須深入考量其量子化方式，量子化雜音、編碼方式與編碼可用度。本文針對各種量子化方式加以分析比較，以尋求最有效的 A/D轉換器。

## 貳. A/D 轉換器的基本原理

由於類比信號係一連續信號 (continuous signal)，要把它轉換成數位信號，必須利用另一信號將其取出某些點的電壓值，然後以二進位數字表示，這就是所謂的「抽樣」(sampling)。如果原來的類比信號為週期性信號，則抽樣後尚可掌握原來的信號軌跡，如果原來的類比信號甚不規則，則抽樣後並不一定能代表原有的軌跡。圖一(a)表示較規則的類比信號取樣後，尚可判斷出原有的軌跡。(b)圖則表示不規則的類比信號取樣後，不一定能看出原有的軌跡。(註3)



(a) 雖隔著柵欄尚可判斷出原有軌跡

(b) 由於不明飛行物的不規則飛行，無法判斷出原有軌跡

圖1. 由抽樣點判斷原有軌跡的情況

理想的A/D轉換器應能將原有的類比信號表達出來。通常以坐標軸表示如圖2。其中橫軸代表類比信號佔滿刻度的比例，而縱軸則表示以三位元表示時的數位值。

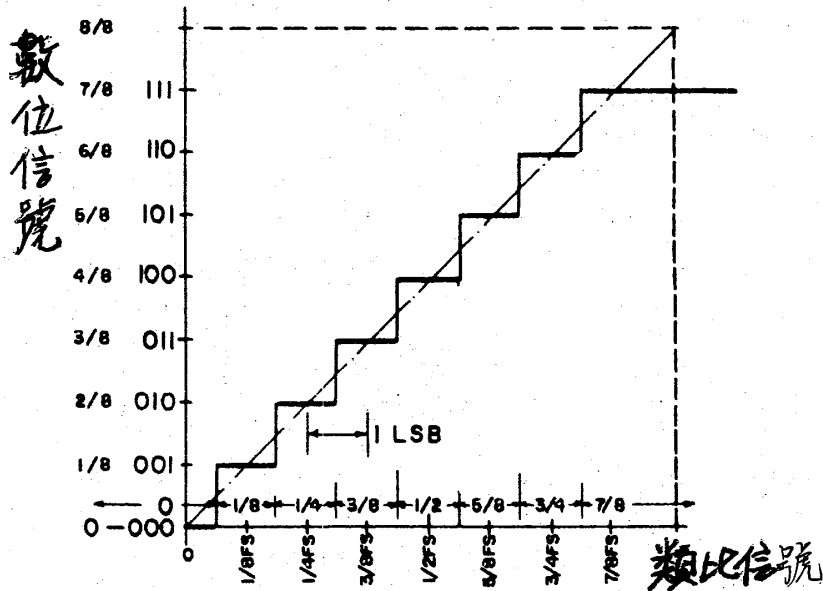


圖2 理想A/D 轉換器的動作

當位元數愈多時，就表示抽樣的時距愈短，也就是抽樣的頻率愈高，所抽取的資料樣本就愈能精確地代表原來信號。為使抽樣資料更具代表意義，勢必增加抽樣樣本數，但也因此增加了信號處理作業和儲存用記憶容量，而為計算機系統有限的裝置所限制。因此，必須找一個折衷值以應付實際應用。

(一) 抽樣定理 (sampling theorem)

在數位化的過程中，利用信號頻譜 (frequency spectrum) 分布中最高頻率兩倍以上的頻率施行抽樣 (sampling) 時，原來波形就可以完全重現出來。

譬如一般音響的頻譜上限為20KHZ，則抽樣頻率只要定在40KHZ以上即可。

圖3 表示能將原始信號重現的抽樣頻率。(a)圖左邊為以時間軸表示的原始信號，右邊為以頻率軸表示的原始信號頻譜。(b)圖左邊為適當的抽樣信號，右圖為抽樣頻譜，(c)圖表示抽樣信號通過低通濾波器的特性。(d)圖則為還原後的信號及其頻譜。(註4)

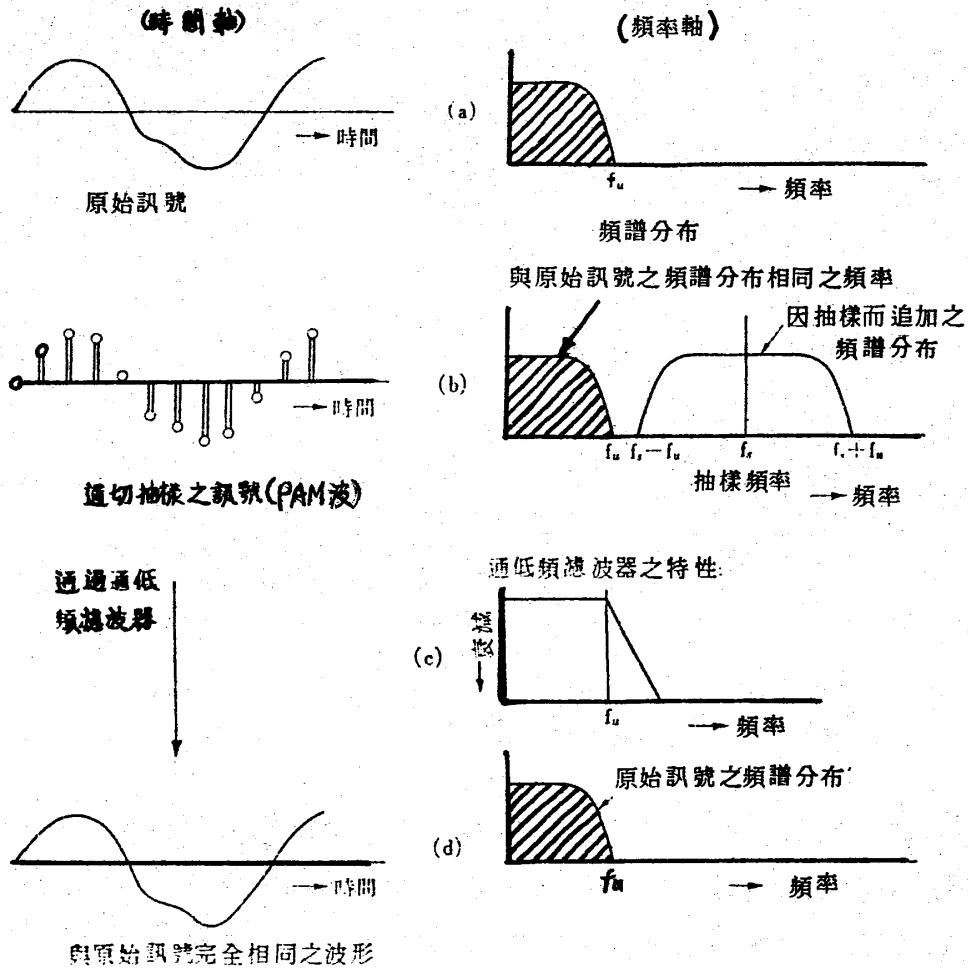


圖3. 原始信號的抽樣與還原

由圖3可以看出，抽樣頻率的中間值  $f_s$  位在原始信號上限頻率  $f_u$  的兩倍以上的位，表示  $f_s > 2f_u$ 。如果抽樣頻率太低時，就會使抽樣信號的頻譜與原始信號重疊，而產生混疊雜音 (aliasing noise)，結果使二者無法分離而不能使原始信號重現。這時如果使用低通濾波器來使原信號重現，則由於混疊部分的信號也一起通過，會造成比原始信號更多起伏的波形。如圖4左邊部分的情況。如果為避開混疊部分而使用更低的低通濾波器，就會變成只含低頻原始信號的波形。而失去中、高頻部分，如圖4右邊所示的情況。因此，抽樣頻率必須夠高，才能使原始信號重現。也就是只有在下列條件下，抽樣重現的理論才能成立：

1. 原始信號的頻譜在  $f_u$  以上的成分必須為零。

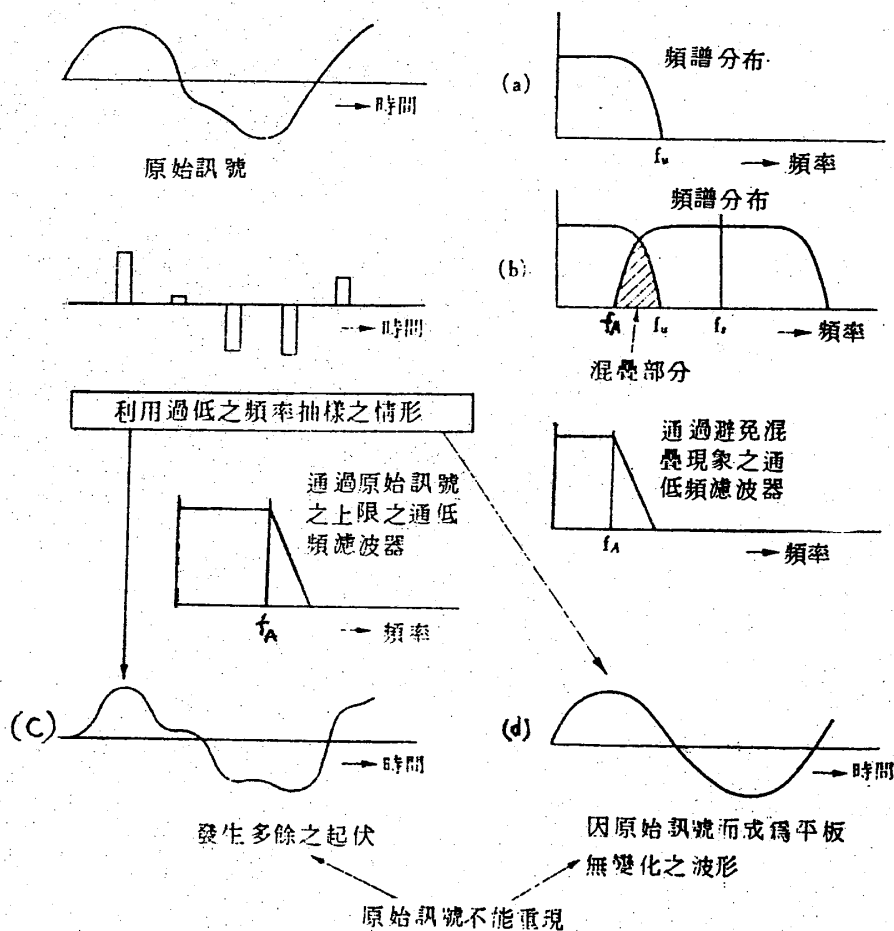


圖4. 抽樣頻率太低時，原始號無法重現

2. 原始信號必須被變換成理想的脈波序列，且每一脈波的峰值與原始信號一致，同時各脈波寬度必須無限地窄小。
3. 解調濾波器的特性必須符合理想低濾波器的特性，其通頻帶的衰減值為零，截止帶的衰減值為無限大。但是實際的濾波電路與脈波變換電路均存一些無法解決的特性問題。譬如：

- (1) 低通濾波器的截止頻率是在  $f_c = \frac{1}{2\pi RC}$  處，即增益為 0.707 之處。具有傾斜的直線特性，而非陡直的垂直線特性，因此用來濾除  $f_u$  以上的原始信號時，不能保證百分之百的成功，何況原始信號中尚含有許多高次諧波成分，仍會造成混疊雜音。所以通常在 PCM 系統中只能做到與量子化雜音相同的程度。
- (2) 實際的脈波一定具有寬度。若寬度太小時就無法得到 S/N 比；若寬度太大則會造成隙孔效應 (aperture effect)，使解調後高頻特性不良。所以通常選擇脈波寬度在抽樣點間隔的四分之一程度，以減少高頻

特性的劣化。(註5)

- (3) 濾波器的通頻帶與衰減帶互相連接，若取樣頻率的頻譜緊接著衰減帶譬如原始信號上限為 20 KHz，若取樣頻率為 40 KHz，則仍會有雜音產生。其較可用的頻率應與 40 KHz 相差一小段，例如以 42 KHz 作為抽樣頻率的中央值，則其頻譜下限為 22KHz，與 20KHz 尚差 2 KHz，混疊雜音的干擾將可衰減到不易覺察的程度。

(二)轉換特性 (conversion characteristics)

A/D 轉換器的特性包括 (1)解析度(resolution) (2) 準確度 (accuracy)

- (3) 穩定時間 (settling time) 等三方面。

(1)解析度

A/D 轉換器的解析度，係表示數位輸出的最小改變量，即每一個數位輸出所能涵蓋的最小類比信號位準。若以百分率計算其計算式為：

$$\% \text{解析度} = \frac{1}{2^N - 1} \times 100 \% \dots\dots\dots \text{(公式 1)}$$

其中N 為所用的數位數量。如果使用五個位元則百分率解析度為：

$$\begin{aligned} \% \text{解析度} &= \frac{1}{2^5 - 1} \times 100 \% \\ &= \frac{1}{31} \times 100 \% \\ &= 3.22 \% \end{aligned}$$

如果使用十個位元則百分率解析度為：

$$\% \text{解析度} = \frac{1}{2^{10} - 1} \times 100 \%$$

≈ 0.1 % 意即所用的位元數愈多。所能劃分的類比量可以愈小。如果以電壓值表示，就必須先知道滿刻度範圍 (Full scale range簡寫為FSR)，可用下面公式求得：

$$Q = \frac{\text{FSR}}{2^N} \dots\dots\dots \text{(公式 2)}$$

譬如使用12位元的數位電路將滿刻度值為10V的類比信號轉換時，N=12，FSR=10V，則其最小的解析值為：

$$Q = \frac{10V}{4096} = 2.44mV$$

此值即為此A/D轉換器的解析度(量化表示法)。

我們很容易可以推斷出：使用的位元數愈多，解析度愈精密。表一可以看

出最小位元佔滿刻度的權值(weight)，而權值可換算為百分率解析度。

表一：解析度受解析位元數的影響

解析位元數 (N)	所含狀態數 ( $2^N$ )	最小位元權值 ( $2^{-N}$ )
0	1	1
1	2	0.5
2	4	0.25
3	8	0.125
4	16	0.0625
5	32	0.03125
6	64	0.015625
7	128	0.0078125
8	256	0.00390625

若以波形表示，可由圖5及圖6看出解析度不同的情形。其中圖5 為3 位元解析情況，圖6 為8位元的解析情況。

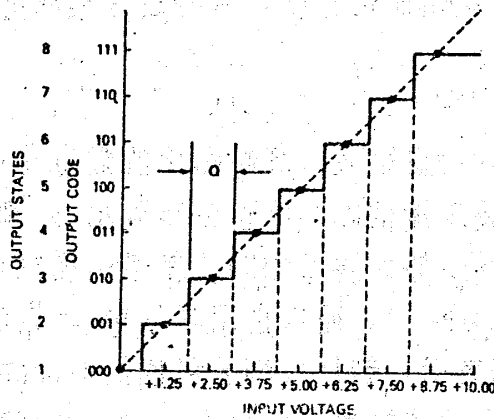


圖5. 以三位元解析10V輸入電壓

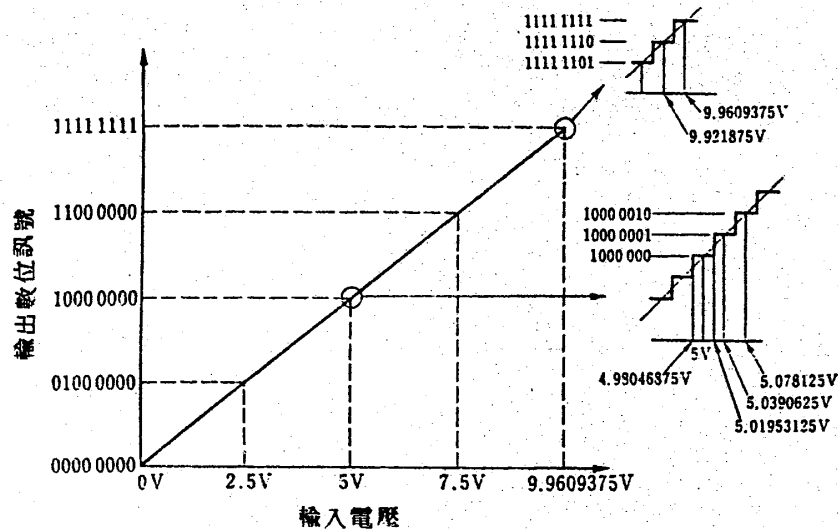


圖6. 以8位元解析10V輸入電壓

可見使用更多的位元數來轉換類比信號時，其輸出信號愈能接近原有的線性情況。

(2) 準確度

A/D轉換器的準確度(accuracy)是來表示實際輸出的數位與預期值的關係，也就是誤差量的多寡，通常以誤差量佔滿刻度百分率表示。如圖7所示之實際A/D轉換器的輸入，輸出特性。其中最大誤差點之誤差量佔滿刻(FS)的百分率，即為絕對準確度(absolute accuracy)。通常也用誤差量為LSB的倍數表示，例如  $\pm 1/2$  LSB 或  $\pm 1$  LSB 等表示。若加以細分可包括抵補誤差(offset error), 增益誤差(gain error), 直線性誤差(linearity error)等。圖7中最大誤差值係發生在輸出為 11111111時，約為2V之誤差量，所以其準確度為：

$$\frac{2V}{10V} \times 100\% = 20\% \quad (\text{此值愈小表示愈準確})$$



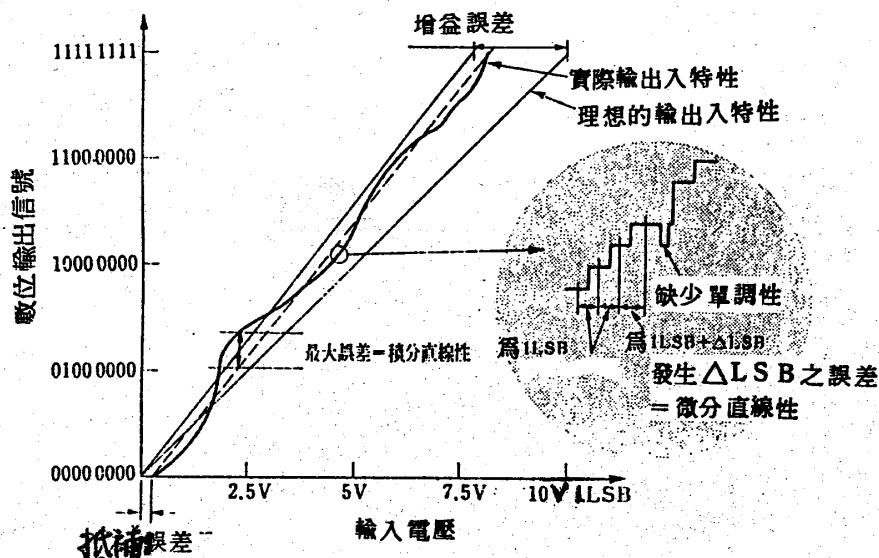


圖7. A/D 轉換器準確度各因素之考慮

如果某一A/D 轉換器的準確度為0.1%，而其滿刻度值為10V，就表示它的實際輸出與預期值誤差在  $0.01\% \times 10V = 10\text{mV}$  範圍內。(註6)

a. 抵補誤差 (offset error)

抵補誤差係指數位輸出為00000000時輸入電壓與實際0V之間的差量。這與 OPA 的抵補誤差定義相同，即當沒有輸入信號時，輸入端應為0V(常態)，若不是0V就表示含有其他因素而造成起始點的誤差。

b. 增益誤差 (gain error)

增益誤差是指將抵補誤差調為0以後，最大數位輸出11111111的輸入電壓與理想狀態間的誤差量。如果無法將抵補誤差調整為0，就以平行移動的方式計算增益誤差值。如圖8 所示。

c. 直線性誤差 (linearity error)

又分為積分直線性 (Integral linearity) 與微分直線性 (differential linearity) 兩種。茲簡述如下：

積分直線性誤差是將輸出特性曲線中，實際特性的輸出點00000000與11111111以直線連接起來，而找出此線與實際特性曲線之差最大值的點，其誤差量即為積分直線性誤差值。由圖7 可以看出，在輸入電壓為2.4V 附近發生最大誤差值。此值係以數位量LSB 的誤差，所以如果誤差量在 $\pm 1/2\text{LSB}$ 以內，均可視為無誤差。

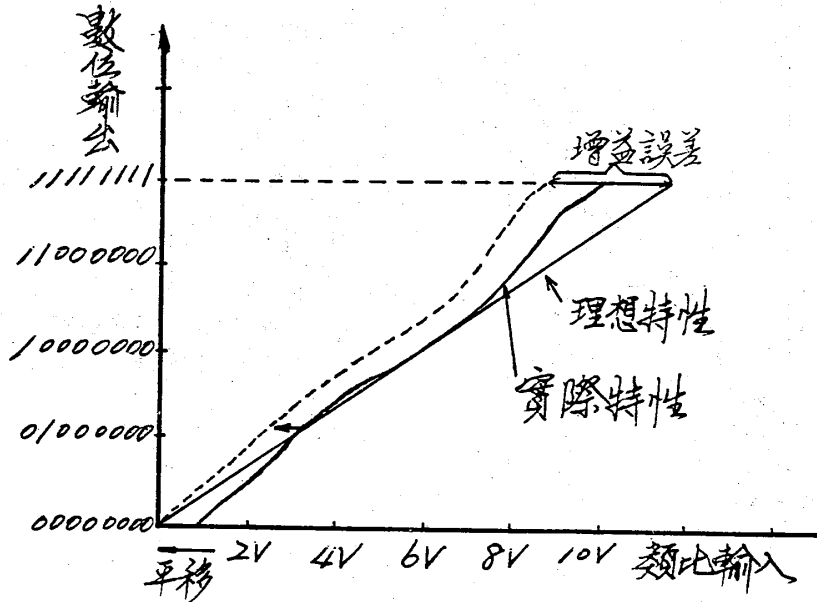


圖8. 利用平行移位法計算增益誤差

微分直線性誤差係指在輸出入特性中，當輸入電壓變化1LSB時，輸出電壓的變化大於或小於一個階度。由圖7中可以看出 $\Delta$ LSB即為微分直線性誤差，通常均以LSB表示。

A/D轉換器的準確度表示因素中，是以絕對準確度最為常用，而抵補誤差，增益誤差和直線性誤差是用來分析輸出入特性時用。

### (3) 穩定時間(settling time)

穩定時間係指輸入信號改變時，對應的輸出信號變化到預期值的最後誤差範圍內所需時間，通常定義到達預期值百分之99.95時所需的時間。如圖9所示。(註7)

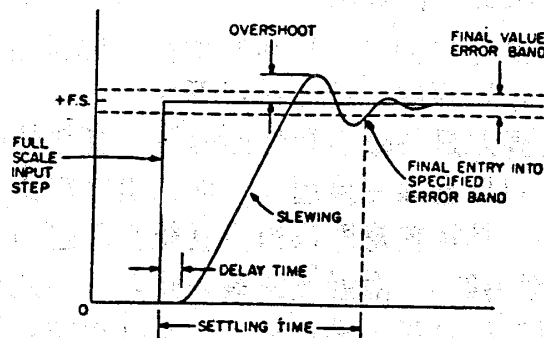


圖9. 穩定時間

當輸入信號改變一個階度時,由於電路本身含有內部電容(internal capacitances),其充電到最後值需經一段時間,同時因為充放電會造成過激(overshoot)與低盪(undershoot)現象,最後才會進入預期的誤差範圍(error band)內.目前大多數元件的誤差範圍約為滿刻度的  $\pm 0.1\%$ 或 $\pm 0.01\%$ .

穩定時間除了受頻帶寬度,轉動率(slew rate),過載恢復時間(overload recovery),輸出入電容量的影響外,也受放大器開環路增益特性的影響.如圖10所示,為單極開環路增益頻率特性曲線.如果要達到快速穩定的情況,其頻率響應必需達到每二倍頻率下降6dB的增益,即其滑落特性為 $6^{dB}/octave$ .圖10中 $\omega_c$ 為單位增益頻率,其時間常數

$$\tau_c = \frac{1}{\omega_c} = \frac{1}{2\pi f}$$

但在閉環路的場合,穩定時間不可能比達到預知的準確度為快.通常按頻帶寬3dB之下截止點頻率而言,其時間常數為

$$\tau = \frac{1}{\omega} = \frac{1}{2\pi f}$$

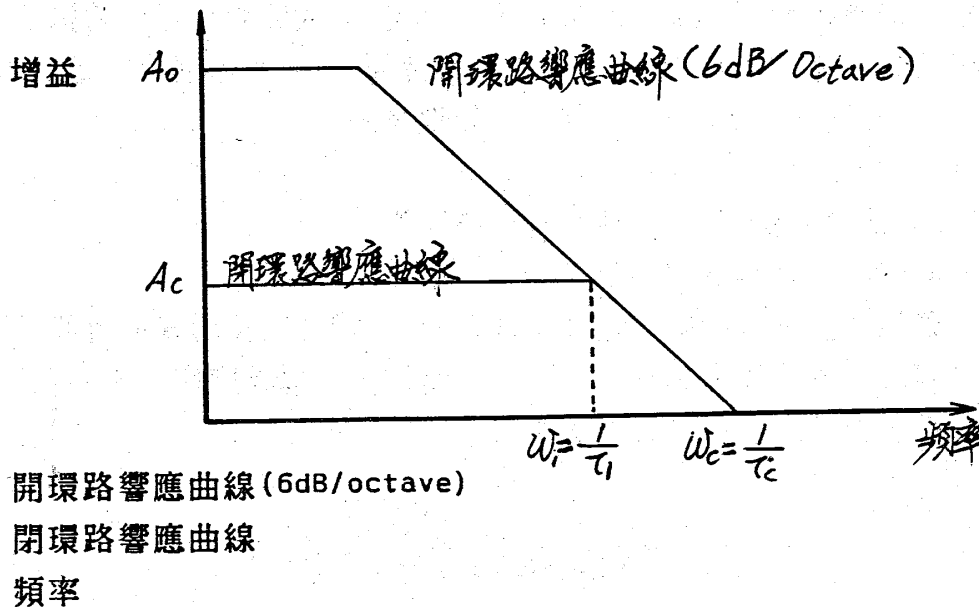


圖10 單極開環路增益特性

以時間常數特性曲線而言,假定滿刻度值為0%誤差,則可繪出如圖11的時間常數一誤差百分率特性曲線.良好的A/D放大器,其穩定時間大於閉環路時間

常數。例如，一個具有時間常數為 $160\text{nS}$ ，閉環路頻帶寬為 $1\text{MHz}$ 之放大器，其穩定時間就為 $1.44\mu\text{s}$ ，即需經過9個時間常數( $9 \times 160\text{nS} = 1.44\mu\text{s}$ )後，才能達到最後值的 $0.01\%$ 。如果此放大器的轉動率為 $1/\mu\text{s}$ ，則必預經過 $10\mu\text{s}$ 以後才能達到誤差量 $0.01\%$ 的電壓(最大值為 $10\text{V}$ )。根據目前商用的資料手冊，快速OPA的穩定時間約為 $100\text{nS} \sim 2\mu\text{S}$ 的 $0.1\%$ 到 $0.01\%$ 。

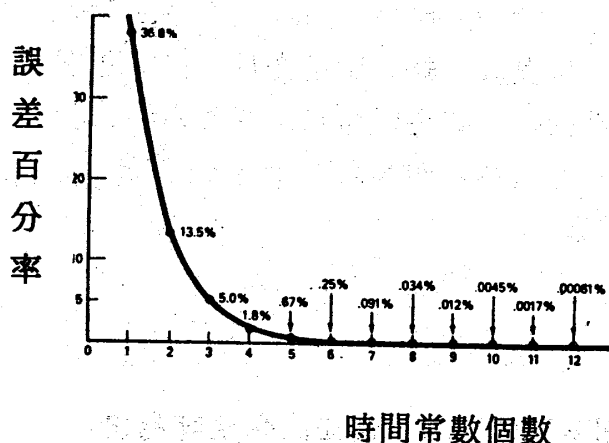


圖11. 時間常數與達到穩定的誤差特性

A/D轉換器的轉換時間視輸入信號的大小而定，較大的類比輸入值需要較多的階級，故所需的脈波週期也較多。最大的轉換時間為 $2^N$ ×脈波週期(N是計數器的位元數)。例如脈波頻率為 $1\text{MHz}$ 時，其最大轉換時間為：

$$2^N \times 1\mu\text{S}$$

如果使用10個位元作轉換，則最大轉換時間為：

$$2^{10} \times 1\mu\text{S} = 1024\mu\text{S} = 1.024\text{mS}$$

因此，如果為了提高解析度而增加位之元數，就需要較長的轉換時間，即其穩定時間會較長，而不適於高速應用。可見A/D轉換器的解析度與穩定時間互相限制，必須求其折衷值以應付輸入信號的需求。

### 參，A/D轉換器的電路類型

根據目前所發展出來的A/D轉換器，可分為下列四大類：

- (一) 直接比較型(direct comparison)
- (二) 連續漸近到(successive approximation)
- (三) 積分型(integration)

1. 單斜波方式(single slope A/D converter)

2. 雙斜波方式(dual slope A/D converter)

## A/D 轉換器的量子化問題研究

3. 斜波計數器方式 (ramp counter A/D converter)

4. 電荷平衡方式 (charge-balancing A/D converter)

茲分述各類之電路及其特點如下：

(1) 直接比較型

又叫做並聯A/D轉換器 (Parallel A/D converter), 電路結構如圖12所示。

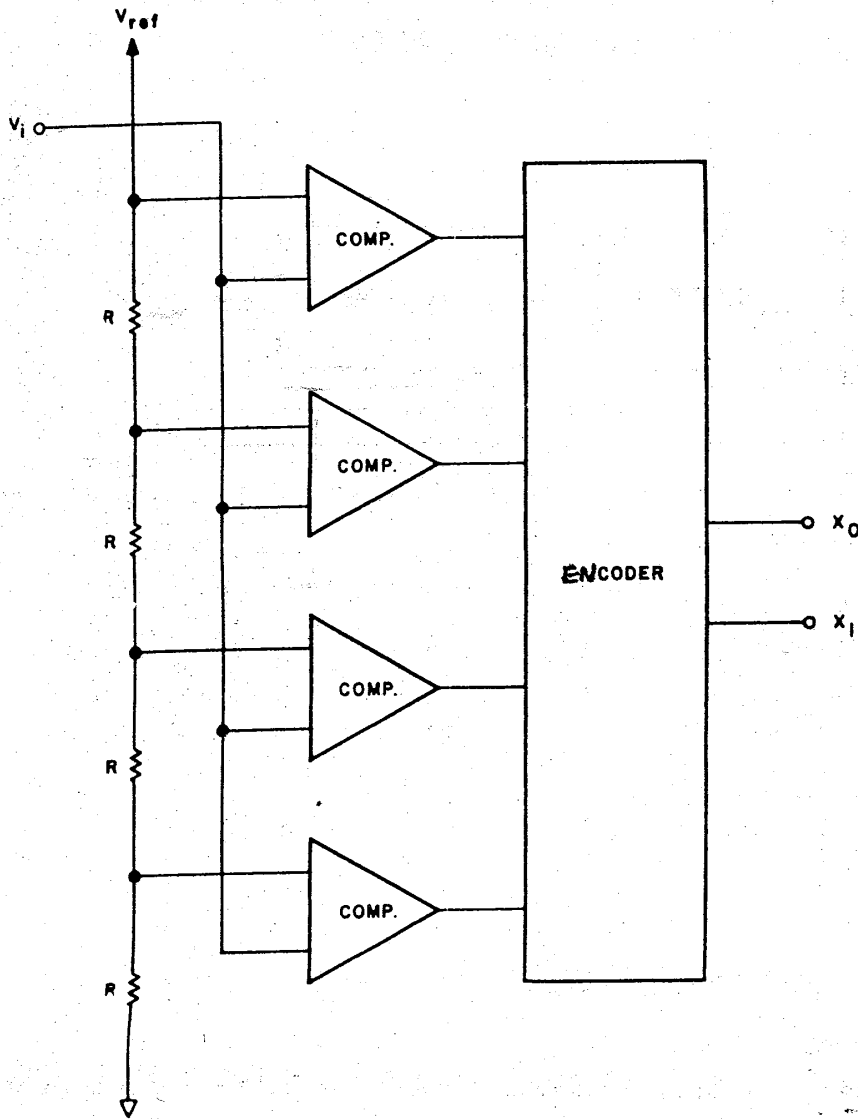


圖12. 直接比較型A/D轉換器

由電路可知類比信號係直接加到各個比較器 (comp) 上, 而每個比較器均有一參考電壓值 (由分壓電阻取得), 以便和輸入類比信號相比較. 比較的結果就送到一個優先編碼器 (priority encoder) 中, 將  $2^n$  碼的數值轉換成二進位碼或BCD碼. (註8)

這種電路的優點是具有最高的轉換速度, 它甚至可用來轉換影像信號. 但其缺點則為當位元數增加時, 電路的複雜性將相對的提高. 譬如要作5位元輸出時,

必須具有 $2^5=32$ 個精密電阻 $R$ 和32個比較器才能處理信號,同時優先編碼器的電路也更形複雜,成本也就比較昂貴.(根據AMD公司的資料,處理4位元的直接比較型A/D轉換器,每次轉換所需的時間為50ns).

(二)連續漸近型

此型A/D轉換器為最常用的一種,其特點為將輸入的類比信號與一“猜測值”比較,然後根據比較的結果決定增減“猜測值”,而以漸近測度的方式,逐漸產生接近真正信號的“猜測值”.其電路方塊圖如圖13所示.

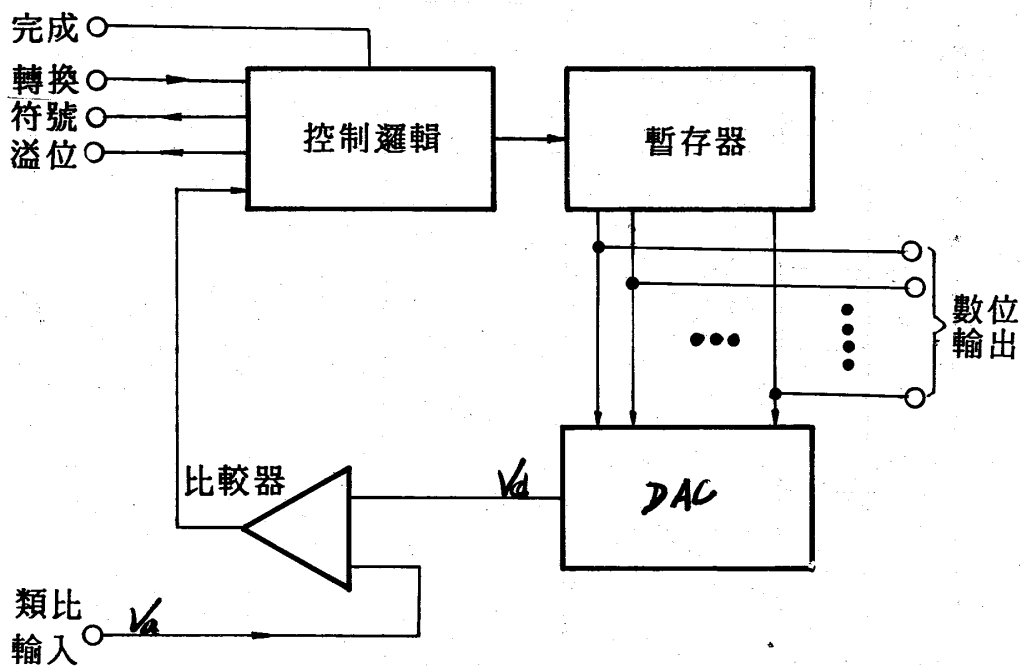


圖13.連續漸近型A/D轉換器系統

由系統方塊圖中可以看出輸入的類比信號係不斷地與D/A轉換器送出類比信號作比較.如果我們希望輸出的位元數為6位元,而滿刻度的電壓為64V,則每一LSB的增量電壓為1V.現在有一26.2V的類比輸入電壓,它就必須先與最大位元MSB為1,其他位元為0的數位值(即猜測值)作比較,結果猜測值較大,就將MSB改為0,而將次大位元改為1.其他位元仍為0,比較後若猜測值較小,就保留次大位元的1,同時將第三大位元改為1,繼續作比較.按此程序直到所有位元均試過,就可得到該類比輸入電壓的二進位等值數據.其轉換波形由邏輯分析儀上看出如圖14所示,而其數值比較的情形則如圖15所示.(註9)

# A/D 轉換器的量子化問題研究

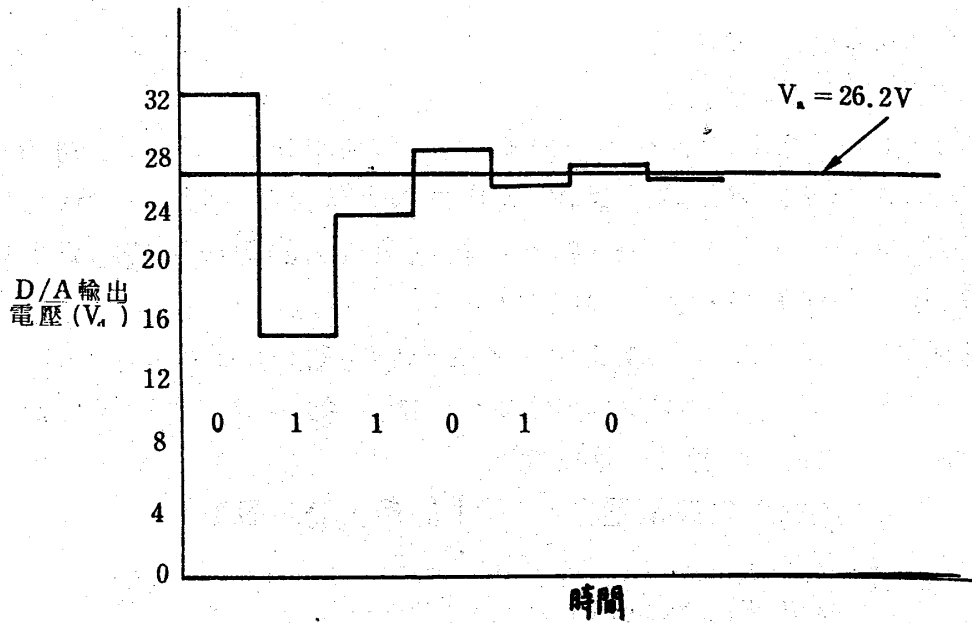


圖 14 連續漸近型 A/D 轉換波形

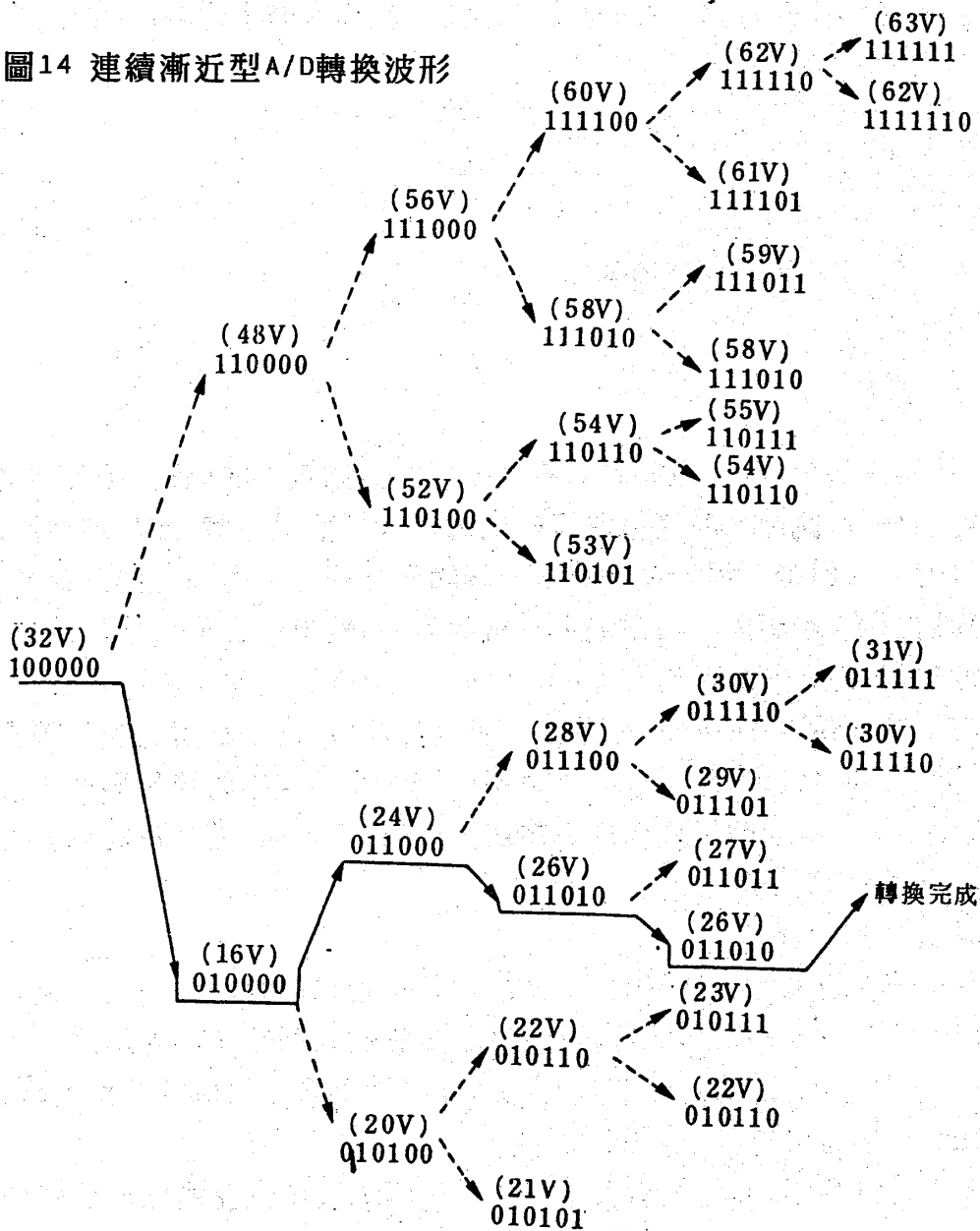


圖 15. 連續漸近數值比較情況

因為比較器的輸出電壓不是  $+V_{sat}$  就是  $-V_{sat}$ ，所以可作為控制邏輯的 Hi, Lo 控制信號，進而控制暫存器的移位動作，而暫存器的輸出位元即為 A/D 轉換器的輸出位元。應用此種方式作 A/D 轉換時，在轉換期間輸入的類比信號必須保持定值，否則其結果將與實際值相差  $\pm 1\text{LSB}$  以上。

為了消除誤差量，通常在輸入端加接一個取樣放大器 (Sampling amplifier) 以使 A/D 轉換期間類比信號能在取樣時間內保持定值。如果不用取樣放大器，類比信號的頻寬將大受限制。此值可由下式算出：

假定某一頻率為  $f_0$  的正弦波電壓在  $\Delta t$  期中的最大變化量為：

$$\Delta V_{\max} = 2\pi f_0 \cdot V_p \cdot \Delta t \dots\dots (\text{公式 3})$$

其中  $V_p$  為正弦波振幅 (最大輸電壓)

而輸入電壓在轉換時間  $T$  中的變化量必需小於  $1/2\text{LSB}$  才能將此輸入電壓視為定值。因此其必要條件為：

$$\frac{V_p}{2^n} > 2\pi f_0 \cdot V_p \cdot T \dots\dots\dots (\text{公式 4})$$

故輸入電壓的頻帶寬限制值為：

$$f_0 > \frac{1}{2^{n+1} \pi T} \dots\dots\dots (\text{公式 5})$$

假定轉換時間  $T=10\text{ns}$ ，所需的準確度  $N=8$  位元，則按公式 5 算得輸入信號的限制頻率約為  $10\text{Hz}$ 。此時如果使用取樣時間為  $10\text{ns}$  的取樣信號 (即  $100\text{kHz}$  的取樣頻率)，則可轉換的頻帶可提升至  $50\text{kHz}$ 。但無論取樣頻率多高，此型 A/D 轉換器仍存在先天性的誤差，其原因乃在當輸入信號改變時，輸出的數位信號仍停留在前一瞬間的猜測值，結果其隙孔時間 (Aperture time) 就等於轉換時間。

同時，此型 A/D 轉換器的轉換準確度係受內部的 D/A 轉換器與比較器轉動率的影響，所以最大時鐘脈波頻率也受其限制。此外，需要複雜的控制邏輯也是此型的最大缺點之一，不過此型甚適於作電腦的 A/D 轉換界面，因其程式易於設計

### (三) 積分型 A/D 轉換器

#### 1. 單斜波方式

此型 A/D 轉換器的輸入電壓必先轉成時間，然後以計數器作數位式量度。計數器本身則受控制閘送來的時鐘脈波所控制，而控制閘則受輸入電壓的大小所控制。每一時鐘脈波會使計數器增  $1\text{LSB}$  計數。最後輸出的數位值就是輸入信號的大小。(註 10)

此型電路結構如圖 16 所示。輸入信號  $V_i$  係與鋸齒波產生器的輸出信號作比



較,因此輸入電壓的範圍會受鋸齒波的斜波電壓所限制.計數器所計算的脈波數就是從斜波的起點到輸入信號與斜波電壓相等時為止的脈波數.當二者電壓相等時,比較器轉態而停止計數.

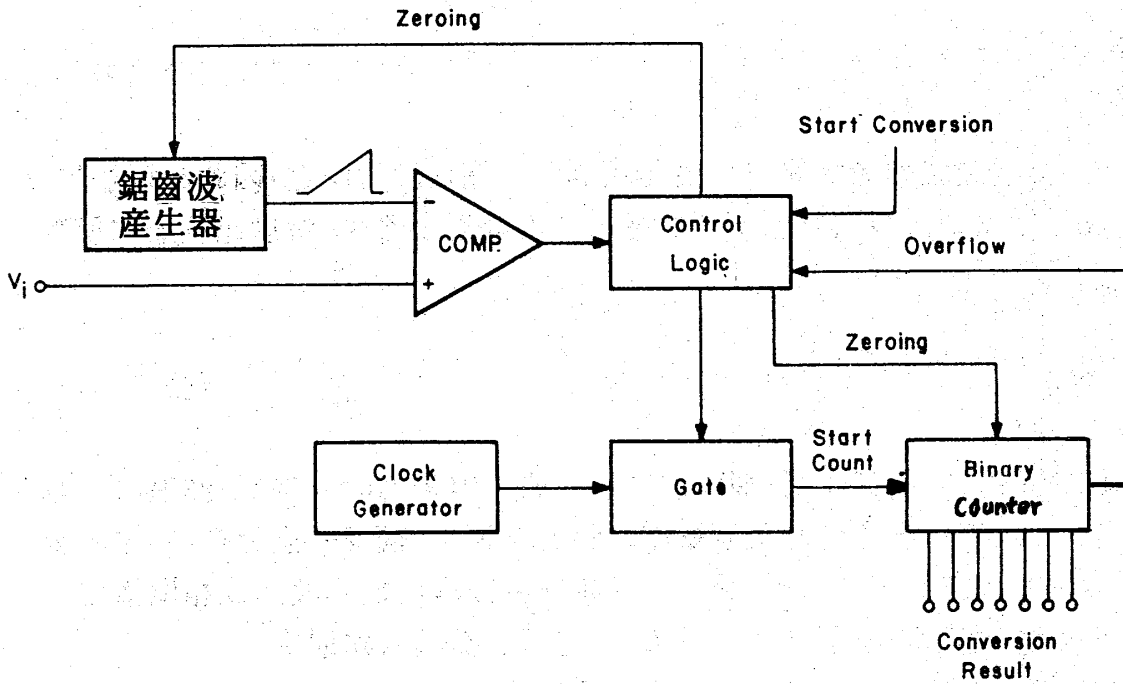


圖16.單斜波A/D轉換器電路方塊圖

如果輸入的類比信號大於斜波的最大值,則比較器無法停止計數,而產生溢位情形(Overflow),結果計數器與斜波均將歸零(Zeroing),而開始另一轉換動作.

假設此A/D轉換器希望輸出N位元數位值,則斜波時間內應含有 $2^n$ 個時鐘脈波.滿刻度的計數值就為 $2^n - 1$ .所以從0計數到滿刻度的時間T為:

$$T = \frac{2^n}{f_{c1}} \dots \dots \dots \text{(公式6)}$$

其中  $f_{c1}$  為時鐘脈波的頻率.

轉換時間則為:

$$t_o = \frac{N_c}{f_{c1}} \dots \dots \dots \text{(公式7)}$$

其中  $t_o$ : 從開始轉換到比較器轉態為止的時間.

$N_c$ : 轉換終點的計數器數位值

經過  $t_0$  秒後輸入電壓等於斜波電壓, 所以:

$$V_{in} = V_{max} \frac{t_0}{T} = V_{max} \frac{N_c}{2^n} \dots \dots \dots (公式8)$$

同時因計數器數值正比於輸入電壓, 所以:

$$N_c = V_{in} \frac{2^n}{V_{max}} \dots \dots \dots (公式9)$$

此外, 時鐘脈波的最大頻率係由比較器的反應速度所決定, 因此比較器的反應必須快到足以保證斜波電壓不會在超出  $1/2LSB$  以上變化. 所以比較器的反應時間  $t_{comp}$  為:

$$t_{comp} \leq \frac{1}{2} \frac{T}{2^n} = \frac{T}{2^{n+1}} = \frac{1}{2} f_{cl} \dots \dots \dots (公式10)$$

同時, 比較器的反應時間(即由 Lo 升至 Hi 或由 Hi 降為 Lo 的時間)亦應小於時鐘脈波的重複速率, 這樣當輸入電壓等於斜波電壓, 計數器停止計數時, 才不會有多餘的時鐘脈波進入計數器. 圖17表示時鐘脈波與比較器波形的相關情形.

總之, 此型電路的優點為電路簡單容易處理, 而其缺點則為:

- (1) 斜波及時鐘脈波的非線性效應會降低準確度.
- (2) 轉換時間受輸入信號幅度的影響.
- (3) 轉換時間受輸出位元數的影響(為位元數的指數關係)
- (4) 轉換時間較長.

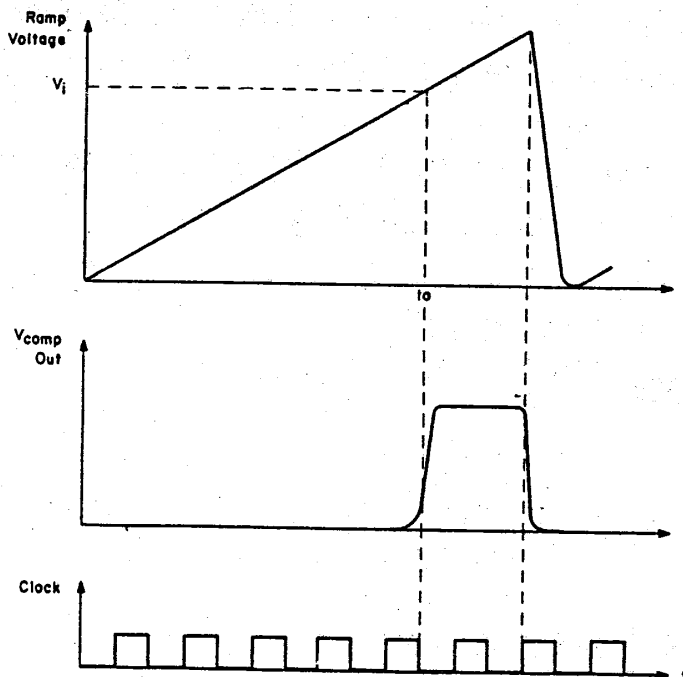


圖17. 時鐘脈波與比較器波形的關係.

其改進之法為在計數器後面加一D/A轉換器，而產生階梯波以代替斜波，即為斜波計數器方式。

2. 雙斜波方式 (Dual slope A/D converter)

這型A/D轉換器的斜波生器為一積分器，其轉換過程分兩個階段。第一階段將輸入電壓 $V_i$ 積分。此時計數器進行計數直到達到滿刻度值為止，就送出一個溢位 (overflow) 信號，而結束第一階段的工作。若輸入電壓愈高，積分器輸出的負值就愈大。

第二階段的工作是以電子開關將參考電壓 $V_{ref}$ 連接到積分器以取代 $V_i$ 值。此參考電壓的幅度要比輸入電壓大。而符號相反，所以會使積分的輸出趨近於零。同時此一階段的轉換動作較第一階段快。當比較器檢查到積分器的輸出為零時，就使計數器停止計數。因輸入電壓小於參考電壓值，計數器就沒有溢位現象。而計數器的最後內容就是數位轉換值。其電路結構如圖18所示。(註11)

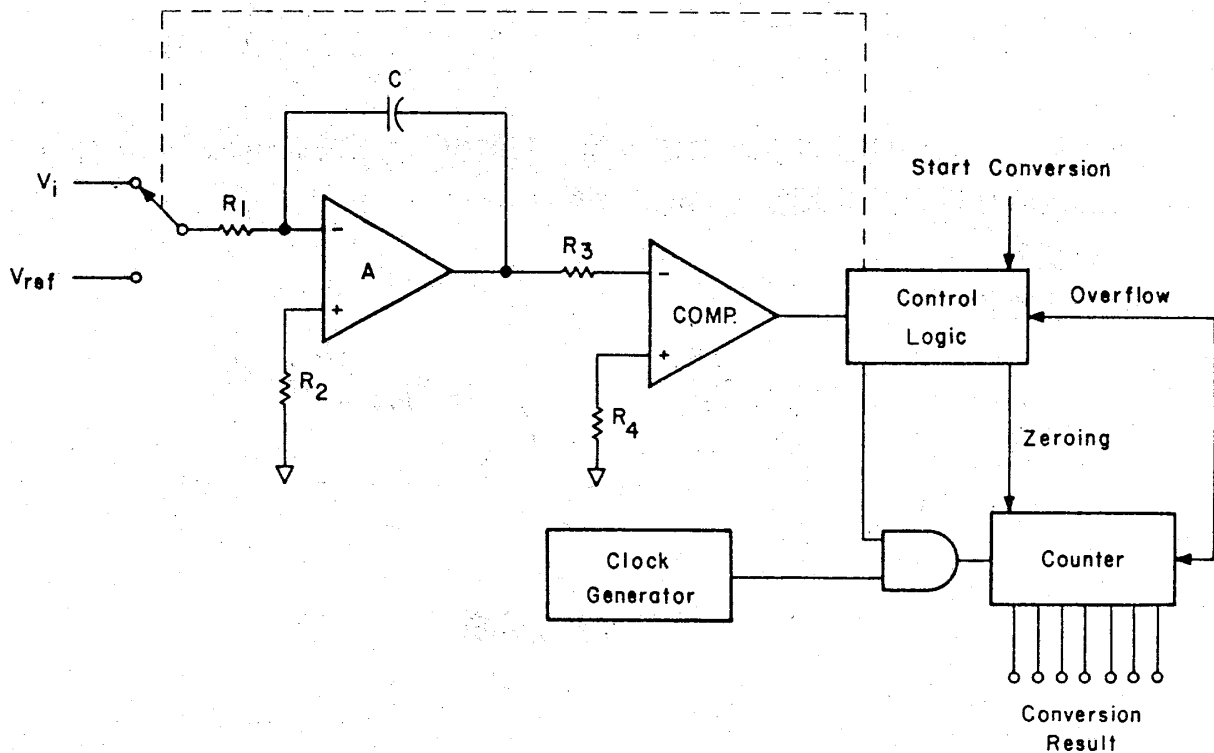


圖18. 雙斜波A/D轉換器電路方塊圖

根據電路可以推斷出使計數器達到滿刻度的時間 $T_1$ 為：

$$T_1 = \frac{2^n}{f_{c1}} \dots\dots\dots (公式11)$$

其中  $f_{c1}$  為時鐘脈波頻率。

經過  $T_1$  秒後積分器的輸出變為：

$$V_{\max} = \frac{V_i}{R_c} T_1 \dots \dots \dots \text{(公式12)}$$

若第二階段所需時間為  $T_2$ ，則  $V_{\text{ref}}$  在  $T_2$  時間內的積分值將為：

$$V_{\max} = \frac{V_{\text{ref}}}{R_c} T_2 \dots \dots \dots \text{(公式13)}$$

所以：

$$T_2 = T_1 \cdot \frac{V_i}{V_{\text{ref}}} = \frac{V_i}{V_{\text{ref}}} \cdot \frac{2^n}{f_{c1}} \dots \dots \dots \text{(公式14)}$$

此時進入計數器的脈波數應為：

$$N_c = T_2 f_{c1} = V_i \frac{2^n}{V_{\text{ref}}} \dots \dots \dots \text{(公式15)}$$

這就是第二階段轉換後在計數器中儲存的數位值，此值正比於輸入電壓值。以波形表示兩個階段的電壓變化，如圖19所示。

半刻度轉換

滿刻度轉換

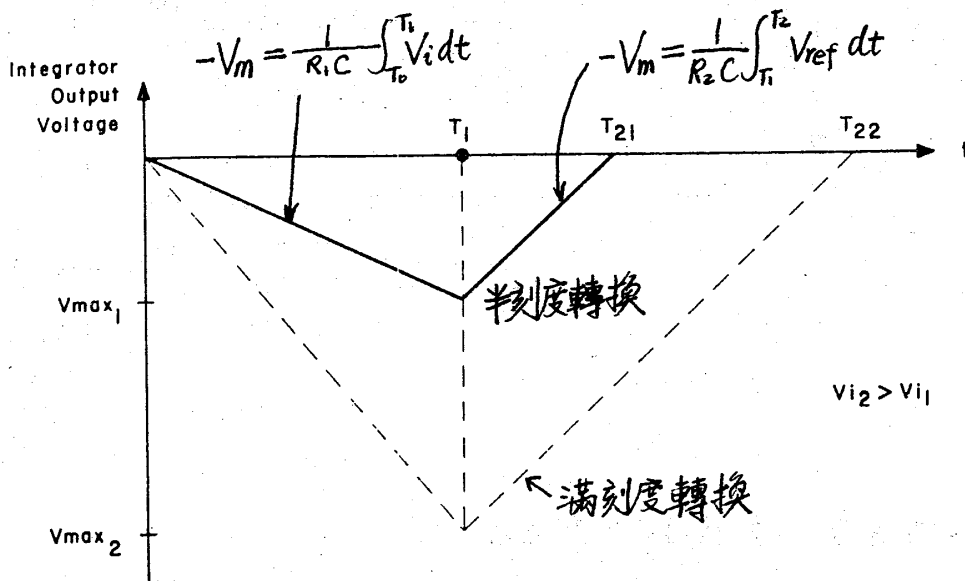


圖19. 雙斜波積分器的工作波形

此種雙斜波方式的最大優點在於轉換電路對於參數的變化反應較不靈敏 (insensitivity)。如果電路的某一參數值無法知其精確值時，譬如時鐘脈

波的頻率稍有變動時，兩個階段的工作仍將保持穩定，因為該參數對第一，第二階段的影響均相同，所以仍可獲得高的準確度。但若參考電壓不穩定就會產生誤差。

歸納而言，所有對準確度沒有影響的因素為：

- 積分器抵補偏移
- 積分電容器漏電
- 輸入信號中的瞬間雜訊
- 溫度變化(可忽略)
- 低頻信號的變化

而雙斜波方式的缺點則為：

- (1) 轉換時間受輸入電壓影響
- (2) 比較器的轉動率限制了轉換時間
- (3) 以單位位元數而言轉換時間比其他電路較長

### 3. 斜波計數器方式(Ramp counter A/D converter)

為了改進斜波方式的不準確情況，利用計數器的輸出，加到一個D/A轉換器，就可產生階梯波，而加到比較器中與輸入類比信號作比較。如果類比信號比階梯波電壓大，則比較器輸出Hi，使控制閘開啓，以便時鐘脈波繼續送到二進位計數器去。而當類比信號低於階梯波電壓時，比較器的輸出就變成低電位Lo，關掉控制閘，時鐘脈波就無法送入計數器。此時計數器上所讀出的數位值就是A/D轉換的結果，電路如圖20所示，比較器的輸入波形如圖21所示。

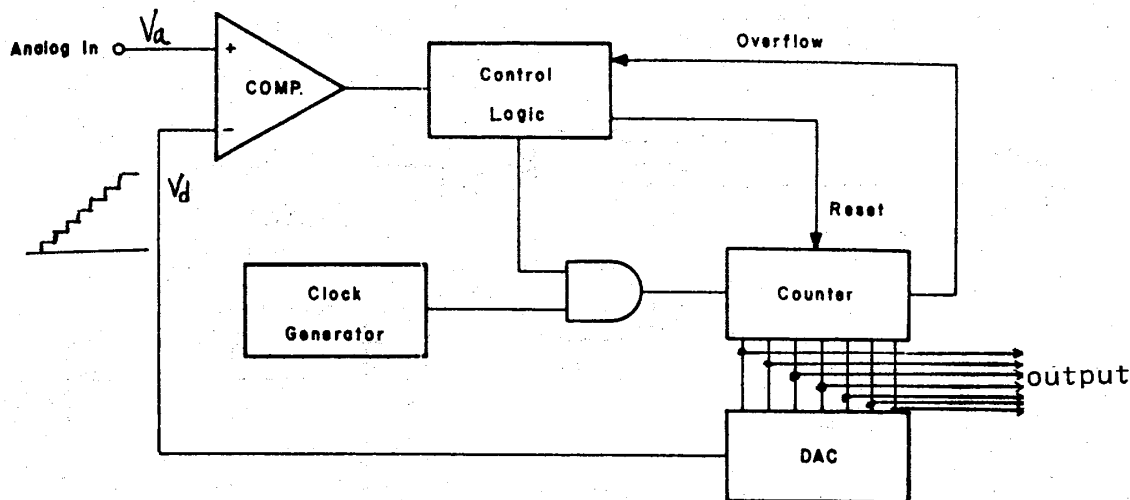


圖20. 斜波計數器式A/D轉換器電路方塊圖

因為從計數器到比較器中加一D/A轉換器，所以時鐘脈波的變動對類比輸入信號沒有影響。但此種電路結構仍嫌複雜。如果將計數器改為上，下數計數器，而省掉一個AND控制閘，轉換時間就可大為縮短。

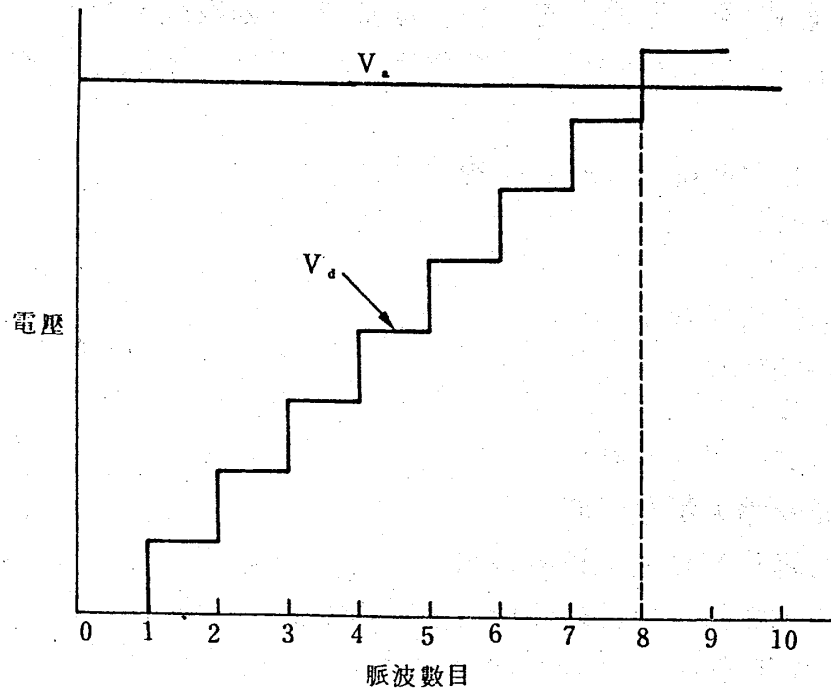


圖21. 階梯波與類比信號互相比較

因為比較器的輸出可決定計數的方向(是上數或下數),其轉換速度顯然較快。如果類比輸入信號保持定值,數位輸出的誤差量頂多在正確值的  $\pm 1\text{LSB}$  之間。如果輸入信號有了變化,輸出信號就按照時鐘脈波的速率而立刻變化,這就是追蹤式A/D轉換器(tracking A/D converter)的原理,其電路如圖22所示。(註12)

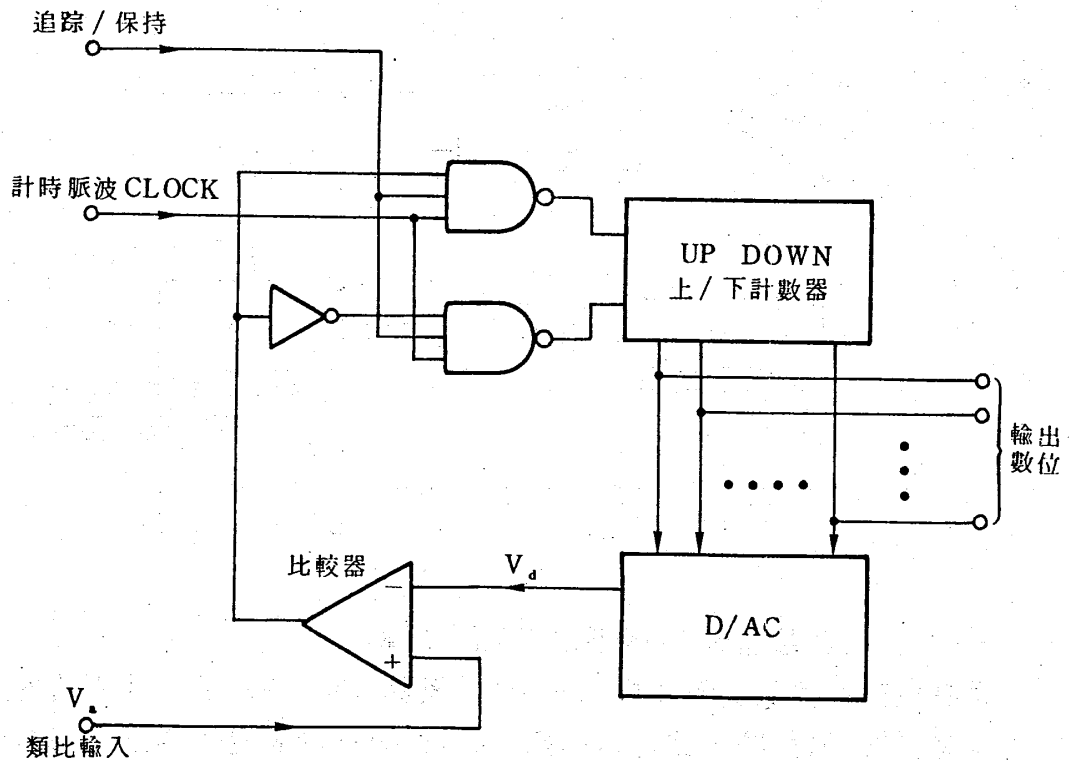


圖22 追蹤式A/D轉換器電路方塊圖

當D/A轉換器的輸出Vd較類比輸入信號Va小時,比較器輸出為Hi,使計數器上數.當Vd較Va大一個LSB時,比較器輸出變為Lo,計數器下數,直到Vd較Va小一個LSB時,又使計數器上數.如此計數器便停在±LSB之間,因此誤差量很小.但因整體而言此型電路轉換時間仍較長,所以較少採用.

#### 4. 電荷平衡式A/D轉換器

此型電路係應用V/F原理(電壓/頻率轉換),先產生一序列正比於輸入電壓的脈波頻率,然後按固定的週期計算此脈波頻率,其值即為數位輸出值.其電路方塊圖如圖23所示.(註13)

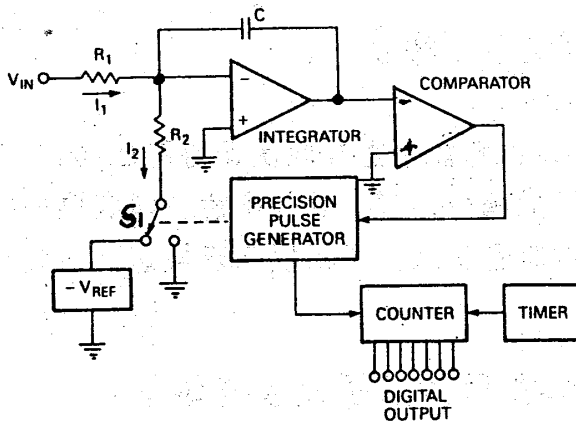


圖23,電荷平衡型A/D轉換器電路方塊圖

當一個正的輸入電壓加入 $V_{in}$ 端時,會在 $R_1$ 上產生電流 $I_1$ ,而在積分器輸出端產生一個負向斜波.每當此斜波通過零點時,比較器就輸出一個正向電壓觸發脈波產生器而輸出一個定值脈波寬度,此脈波控制開關 $S_1$ 使其接通負參考電壓 $-V_{ref}$ .結果使得積分器的輸入變成負值,而輸出正的斜波.這種過程一再重複,而產生一序列的電流脈波,準確地平衡了輸入電流.其所產生的脈波頻率 $f$ 可由下式算得:

$$f = \frac{1}{\tau} \frac{V_{in}}{V_{ref}} \frac{R_2}{R_1} \dots \dots \dots (公式16)$$

其中 $\tau$ 為脈波寬度.

由此式可知輸入電壓愈高.積分器輸出斜波的上升與下降愈快,脈波產生器的輸出脈波頻率也愈高.

圖中定時器是用來設定計數器的計數週期.正如雙斜波A/D轉換器,此種電

路也能對輸入雜訊積分。特別當定時器頻率與雜訊頻率同步時，雜訊可以完全排除掉。圖24所顯示所有積分型A/D轉換器的雜訊排除特性，其中 $T$ 為積分週期而 $T_n$ 為雜訊週期。當 $T/T_n=1$ 時，雜訊免除力為無限大。當 $T/T_n=2$ 時也是無限大，不過與鄰近曲線の間隔已較為縮小。

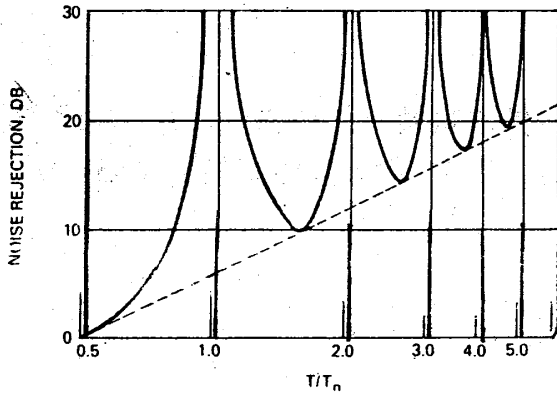


圖24 積分型A/D轉換器的雜訊免除力

此外，這種電荷平衡型A/D轉換器並不需要取樣保持電路，因為在變換動作開始時，可利用將輸入電壓充電於積分電容之動作來達成與取樣保持電路相同的作用。但也因為積分電容器的容量較大，不易提高變換速度。(註14)

### 肆. A/D轉換器的量子化誤差現象

所謂量子化(Quantization)就是把抽樣所得的類比電壓值變為數字。如圖25(c)所示。

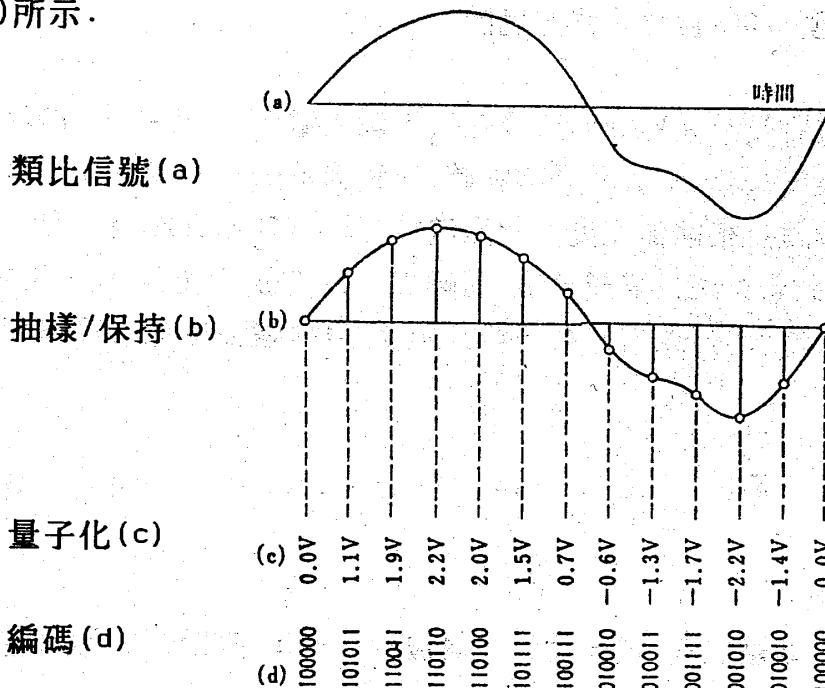
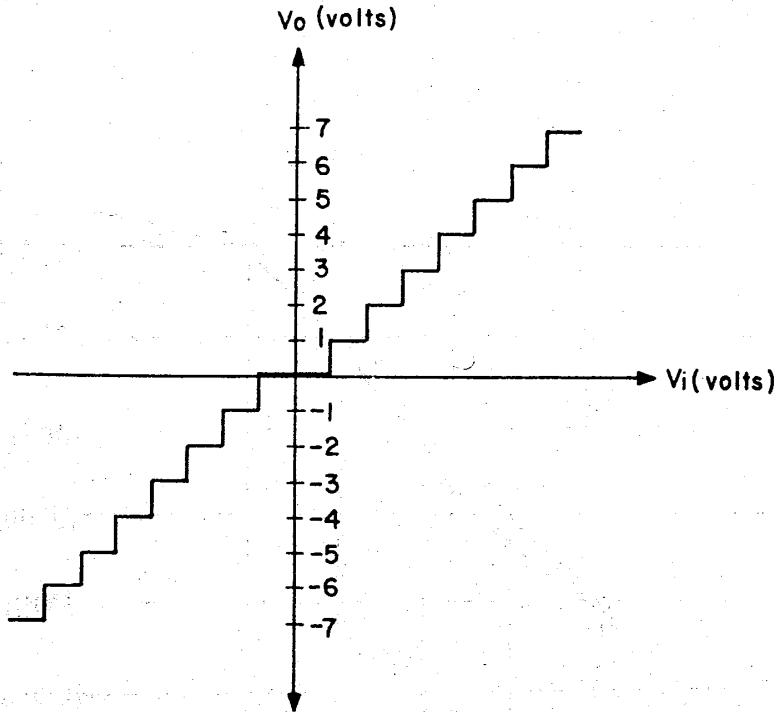


圖25, A/D轉換器的量子化與編碼



因為每一抽樣點的電壓值均為分立式，且要能分別出正、負值，所以一般在 PCM 處理過程將量子化與編碼按下圖之原則設定。(註15)



-7 V	1 1 1 1	0 V	0 0 0 0
-6 V	1 1 1 0	1 V	0 0 0 1
-5 V	1 1 0 1	2 V	0 0 1 0
-4 V	1 1 0 0	3 V	0 0 1 1
-3 V	1 0 1 1	4 V	0 1 0 0
-2 V	1 0 1 0	5 V	0 1 0 1
-1 V	1 0 0 1	6 V	0 1 1 0
0 V	1 0 0 0	7 V	0 1 1 1

圖26. 量子化與編碼的基本形態(以4位元為例)

在量子化的過程中很顯然的會碰到一個問題，如果抽樣點的電壓不是整數，也不在量化的完整階度上，則該以多大的數值來表示？通常在計算機上是採用四捨五入法來表示。譬如圓周率  $\pi = 3.1415926535897932384\dots$ ，如果有效位數為三位，則應以  $\pi = 3.14$  表示之。但也因此而產生  $0.00159265\dots$  的捨去誤

差. 在A/D轉換器的量子化過程中則採隔三跳四的方法, 如圖27所示, 當抽樣點的數值不是階梯波的整數倍時, 如果有效位數的後一位是4以上時就以上一個階梯波值計算, 如果有位數的後一位是3以下時, 就以下一個階梯波值計算.

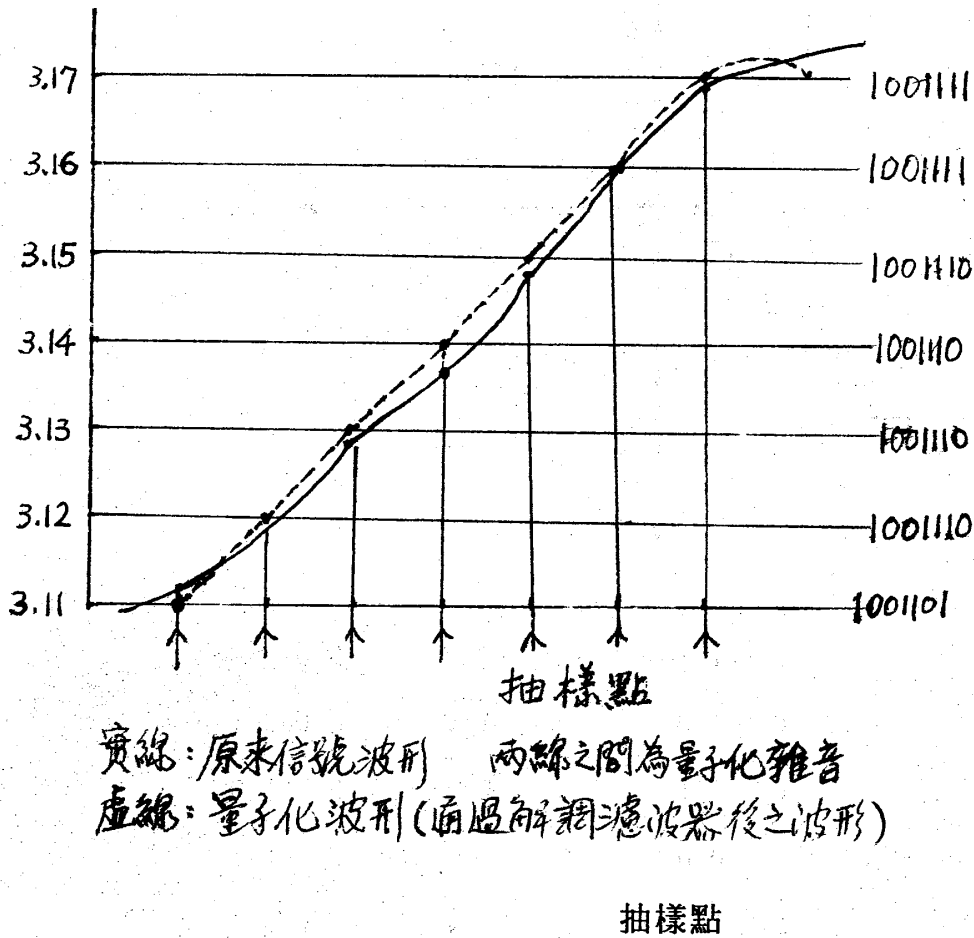


圖27 含有捨入誤差的量子化方式

由於量子化後所傳輸的數值僅為3.11, 3.12, 3.13, 3.15, 3.16, 3.17等數值之階梯波, 所以和原來信號之間會有誤差存在, 其誤差部份即為量子化雜音.

(一) 直線性量子化 (Linear quantization) 的誤差.

如果我們把類比輸入信號分成 $n$ 個量子化等分, 每一等分盡量地小, 以便能描繪原有類比信號, 可惜無論分得多細, 誤差仍如鋸齒波出現, 如圖28所示.

輸入信號範圍 $N_d$  (V)

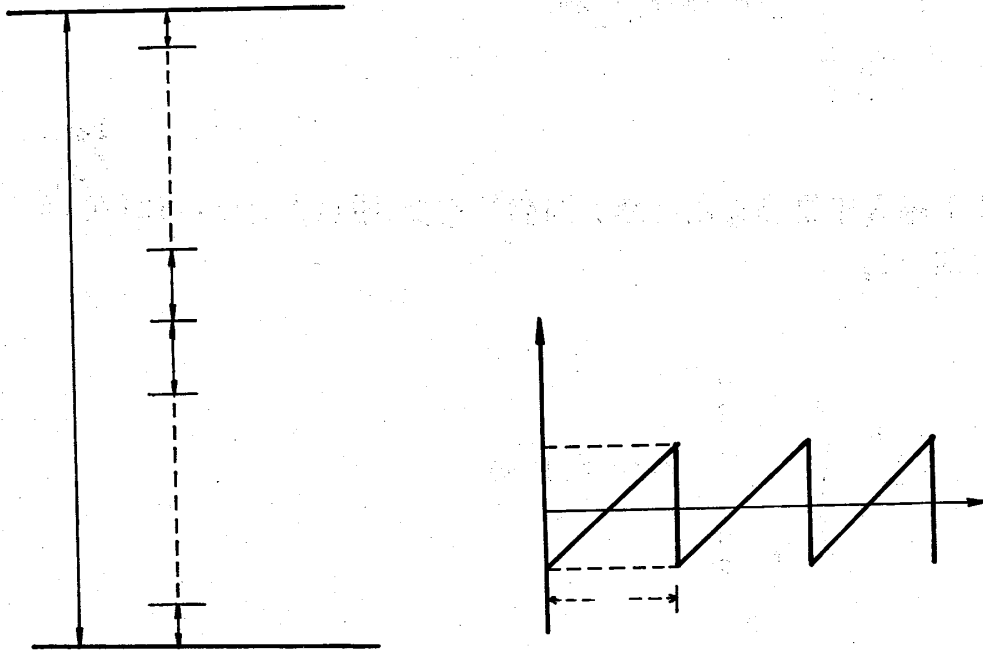


圖28. 量子化誤差(直線性量子化的情況)

此種直線性量子化的雜音, 可由積分分式算得.

因為輸入信號的位準可能在  $m_i - dm$  和  $m_i + dm$  之間, 所以其或然率為  $P_i(m) dm$ , 其均方誤差值就為:

$$\overline{e_q^2} = \int_{m_1 - \frac{d}{2}}^{m_1 + \frac{d}{2}} P_1(m) (m - m_1)^2 dm$$

$$\int_{m_2 - \frac{d}{2}}^{m_2 + \frac{d}{2}} P_2(m) (m - m_2)^2 dm + \dots$$

$$+ \int_{m_n - \frac{d}{2}}^{m_n + \frac{d}{2}} P_n(m) (m - m_n)^2 dm$$

因而輸入電壓均在兩位準之間的任意點，所以上式中  $P_i(m) = \text{Const.} = P_i$  代入上式可簡化為：

$$\overline{e_q^2} = \sum_{i=1}^n \int_{m_i - \frac{d}{2}}^{m_i + \frac{d}{2}} P_i (m - m_i)^2 dm$$

設  $x = m - m_i$  則

$$\overline{e_q^2} = \sum_{i=1}^n P_i \int_{-\frac{d}{2}}^{\frac{d}{2}} x^2 dx = \sum_{i=1}^n P_i \frac{d^3}{12}$$

因為前面曾定義輸入信號在  $m_i - \frac{d}{2}$  和  $m_i + \frac{d}{2}$  之間的或然率為  $P_i \cdot d$  所以

$$\sum_{i=1}^N P_i d = P_1 d + P_2 d + \dots + P_n d$$

但因此式已涵蓋所有輸入信號的範圍，所以或然率應為 1。所以上式可再簡化為：

$$N_q = \frac{\overline{e_q^2}}{d^2} = \frac{d^2}{12} \dots \dots \dots (\text{公式 17})$$

其中  $N_q$  就是量子化雜音。

如果送到量子化電路的正弦波峰值為  $N \cdot d$ ，則其有效功率值應為：

$$S = \frac{N^2 d^2}{8} \dots\dots\dots (公式18)$$

因此：

$$S/N_g = \frac{N^2 d^2}{8} \bigg/ \frac{d^2}{12} = 1.5 N^2 \dots\dots\dots (公式19)$$

而量子化位準數目為N,可用二進位的n位元來表示,即  $N=2^n$  .所以公式(19)可改為：

$$S/N_g = 1.5(2^n)^2 = 1.5(2^{2n}) \dots\dots\dots (公式20)$$

以分貝值表之為：

$$S/N_g = 10 \log 1.5 = 10.2n \log 2 = 6n + 1.76 \dots\dots\dots (公式21)$$

這就是直線性量子化的S/N值.

通常抽樣級的雜音均可由低通濾波器消除,所以並不把它包含在上述的考慮中.

假定A/D轉換的位元數為4位元時,由公式(21)可知其信號雜音比  $S/N_g = 24 + 1.76 = 25.76\text{db}$ ,若n愈大則信號雜音比將愈高,但電路也更複雜.

除了上述的考慮方式以外,如果取樣的值有正有負時,計算方法就不相同.假定現在輸入信號有時高於取樣值,有時低於取樣值,如圖29所示,其誤差信號就不相同.

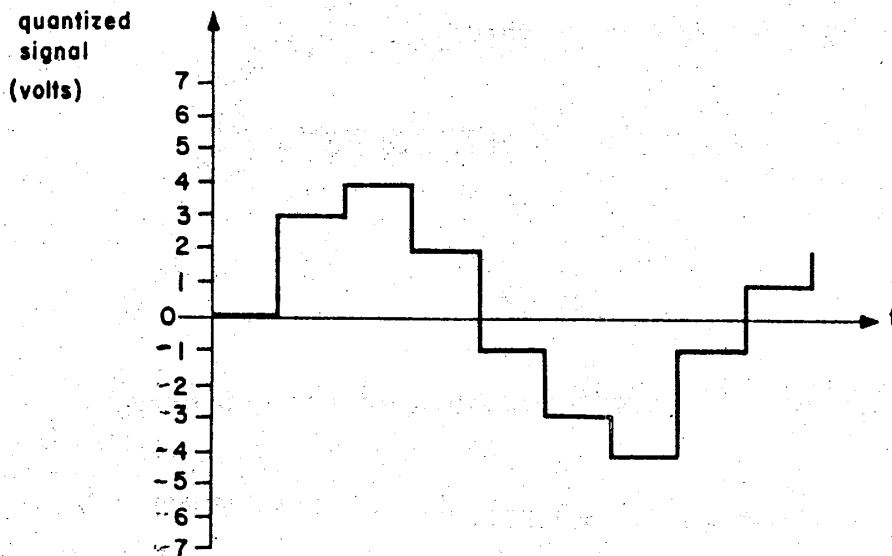


圖29 有正,負值的量子化信號.

圖30可以看出具有正,負的量子化位準及誤差情形.當正電壓輸入時,量子化位準高於取樣值,其誤差量與  $\frac{V_i}{d}$  的關係就如右圖所示.

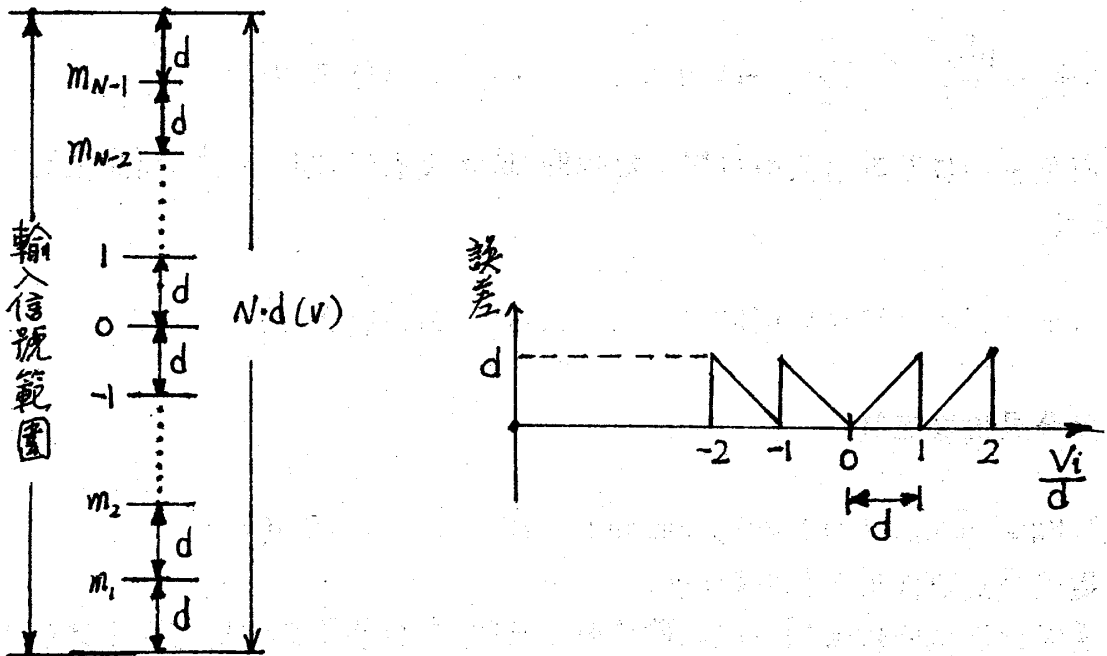


圖30.具有正,負值的量子化位準及誤差情形.

其誤差值的計算亦以積分算得:

$$\overline{e_g^2} = \sum_{i=1}^N P_i \int_0^d x^2 dx = \sum_{i=1}^N P_i \frac{d^3}{3} \dots\dots\dots (公式22)$$

因  $P_i \cdot d$  為輸入電壓在  $M_i$  與  $M_i + d$  之間的或然率

其值為:  $\sum_{i=1}^N P_i d = 1$  所以量子化雜音可由下式算得:

$$N_g = \frac{d^2}{3} \dots\dots\dots (公式23)$$

如果輸入信號為正弦波且其峰對峰值為  $N \cdot d$  (Volts), 則  $S/N$  值為:

$$S/N_g = \frac{N^2 d^2}{8} \bigg/ \frac{d^2}{3} = 0.375 N^2 = 0.375 (2^{2n}) \dots\dots (公式24)$$

以分貝表示為：

$$S/N_q = 6n - 4.26 \dots\dots\dots (公式 25)$$

假如位元數  $N=4$  時，則由公式 25 可知其信號雜音比為  $S/N_q=19.7\text{db}$ ，可見比只有正電壓時為小。

(二) 折線性量子化 (Companded quantization)

因前述之直線性量子化輸入信號幅度愈低時， $S/N$  比愈低，特別在輸入信號幅度低於第一個量子化位準時，該信號就無法被量子化而消失。如圖 31 所示。

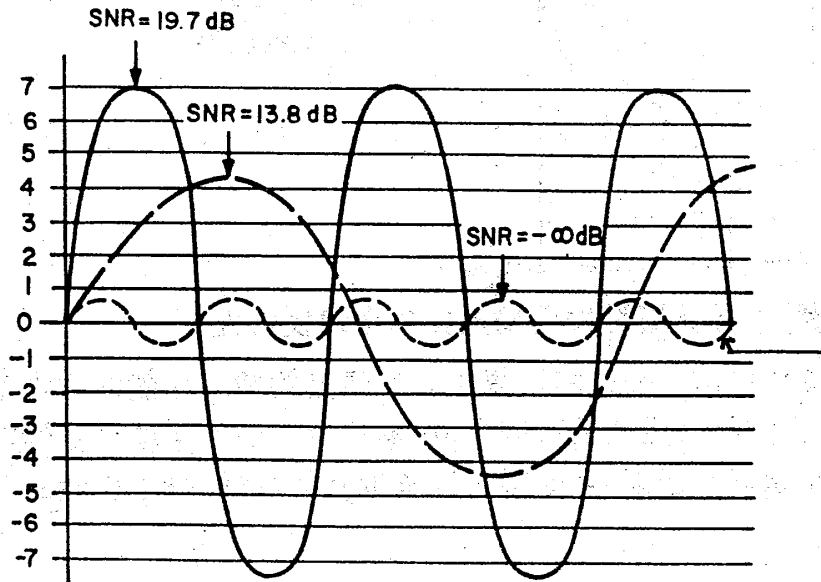


圖 31. 直線性量子化的 SNR 與量子化位準關係

這個缺點可藉壓縮 (compressing) 與擴張 (expanding) 而獲得改進。意即當輸入信號幅度較低時，增加量子化位準數使其每階位準較小，而當輸入信號幅度較大時，減少量子化位準數，使其每位階位準加大。將壓縮與擴張連接在一起就叫 compand，其壓縮的輸出—輸入特性如圖 32 所示。

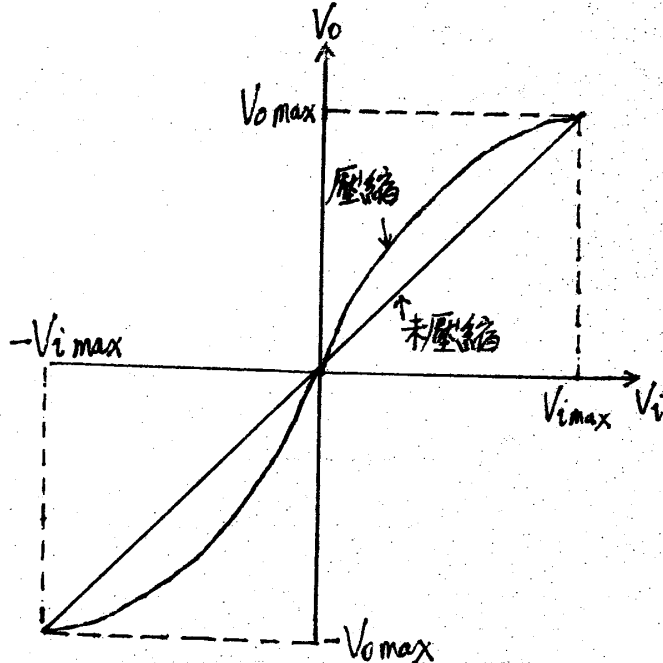


圖 32. 類比壓縮器的輸入與輸出轉換特性。

根據此種輸出輸入特性可以看出，低幅度的輸入信號的放大率比高幅度信號的放大率大，因此低幅度信號的 S/N 比被增強，而高幅度信號的 S/N 比被衰減。

圖 33 顯示在滿刻度電壓 26% 範圍內的電壓具有 40% 的量子化位準。

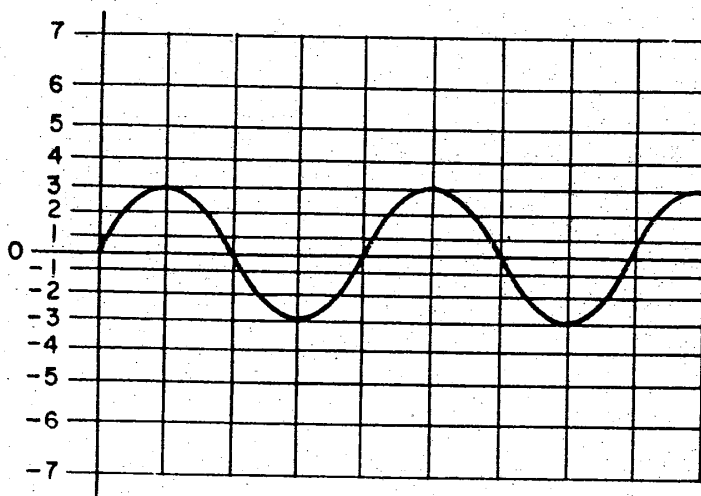


圖 33. 折線性量子化位準分佈情況



為了使壓縮與擴張能密切配合，最好的方法就是利用對數函數構成。(按圖33之量子化位準分佈可看出具有對數表之形態)。因此，根據圖32來求對數函數，其條件為：

$$1. \text{當 } V_i = 0 \text{ 時 } V_o = 0$$

$$2. V_{o\max} = V_{i\max}$$

達成第一個條件的對數函數為：

$$V_o = k \log \left( 1 + \mu \frac{V_i}{V_{\max}} \right) \dots \dots \text{(公式26)}$$

其中  $k$  和  $\mu$  均為常數， $k$  值可經由下法算得：

將  $V_i = V_{i\max} = V_{\max}$ ， $V_o = V_{o\max} = V_{\max}$  代入公式26中，即得：

$$V_{\max} = k \log \left( 1 + \mu \frac{V_{\max}}{V_{\max}} \right)$$

所以

$$k = \frac{V_{\max}}{\log(1 + \mu)} \dots \dots \dots \text{(公式27)}$$

因此公式26可改為：

$$V_o = \frac{V_{\max} \log \left( 1 + \mu \frac{V_i}{V_{\max}} \right)}{\log(1 + \mu)} \dots \dots \dots \text{(公式28)}$$

$\mu$  值稱為壓縮參數，當  $\mu$  值愈大時壓縮情形愈顯著。將  $\mu$  值代入公式28，可獲得圖34之壓縮特性曲線。

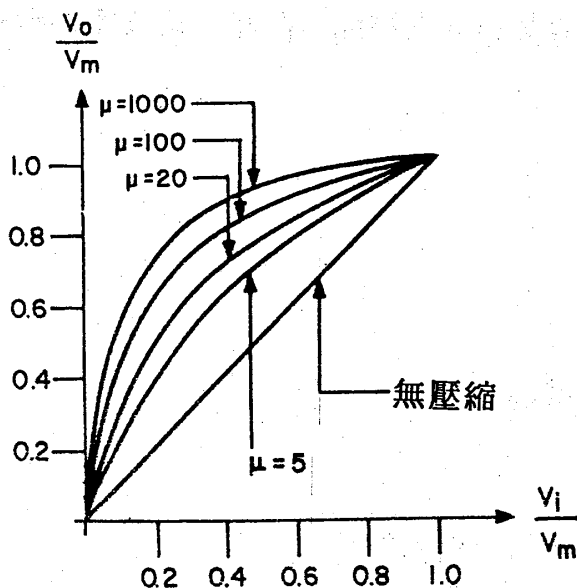


圖34.對數式壓縮特性曲線

至於此種對數式量子化準位，可將  $v_i = v_m$ ，  
且

$v_o = \frac{m V_{max}}{N}$  代入公式28中求得。(註： $m$  為位準的數碼，而  $N$  為總位準數)。當輸入信號為正電壓時：

$$m=0, 1, 2, \dots, N$$

$$V_m = \frac{V_{max}}{\mu} \left[ (1 + \mu)^{\frac{m}{n}} - 1 \right] \quad (\text{公式29})$$

當輸入電壓為負值時：

$$m=-1, -2, \dots, -N$$

$$V_m = -\frac{V_{max}}{\mu} \left[ (1 + \mu)^{-\frac{m}{n}} - 1 \right] \quad (\text{公式30})$$

而其信號對量子化雜音比則可由下面公式算得：

$$S/N_g = \frac{\sqrt{3} N}{\log(1 + \mu) \sqrt{1 + \left(\frac{p}{\mu}\right)^2}} \quad (\text{公式31})$$

其中N為量子化位準數， $P = \frac{V_{max}}{V_{rms}}$  為輸入信號峰值電壓對rms 值電壓的比值。當  $\mu \gg P$  時，上式可簡化為：

$$\frac{S}{Nq} = \frac{\sqrt{3} \cdot N}{\log(1 + \mu)} \dots\dots\dots (公式 32)$$

由此式可知當  $\mu$  甚大時，S/Nq 比不受輸入信號幅度影響。但通常採用  $10 < \mu < 100$  以獲得最佳化結果。

根據以上說明，可知折線量子化以同樣位元數時，比直線性量子化可獲得更大的動態範圍。如果以十進位考慮時，就是浮動小數點方式，即利用假數部與指數部來表示數值時，假數部的小數點位置為可變的。例如12345寫成  $1.2345 \times 10^4$

按固定小數點方式之情形，如果使用3個數字來表示，其捨入誤差經常保持在0.01，因此當信號小於9.99時，S/N 比呈直線式下降，如果信號為4.99則S/N 比正好為500。

換成浮動小數點方式時，捨入誤差就經常對著信號之值變動，如下表所示。在信號為最值  $9.9 \times 10^9$  時，捨入誤差為  $2 \times 0.05 \times 10^9$ ，其S/N 比為100。如果信號值變小而為  $1.0 \times 10^9$  時，S/N 比降到只有10倍。若信號繼續下降為  $9.9 \times 10^8$  時，捨入誤差就變為  $2 \times 0.05 \times 10^8$ ，其S/N比經常在10變為100。因此採用浮動小數點方式時，S/N 比經常在10與100 之間變動。(註：動態範圍 dynamic range 為最大值與最小值捨入誤差之比，而瞬時S/N 則為某一瞬間信號位準與雜音之比。)

	固定小數點 (直線量子化)	浮動小數點 (折線量子化)
最小值	0.00	$0.0 \times (10)^0$
捨入誤差	$2 \times 0.005$	$2 \times 0.05 \times (10)^0$
最大值	9.99	$9.9 \times (10)^9$
捨入誤差	$2 \times 0.005$	$2 \times 0.05 (10)^9$
動態範圍	$10 / 0.01 \approx 1000$	$10^{10} / 0.1 \approx 100,000,000,000$
最大瞬時S/N	$10 / 0.01 \approx 1000$	$10 / 0.1 \approx 100$

表2.3 位數量子化所能表現之範圍

將上述(一)直線性量子化與(二)折線性量子化的S/N 比加以比較，如圖35所示。但這是十進位三位數的考慮，如果以二進位考慮，就是  $ax2^b$  的表現方式，與  $ax10^b$  的表現方式差異不大。

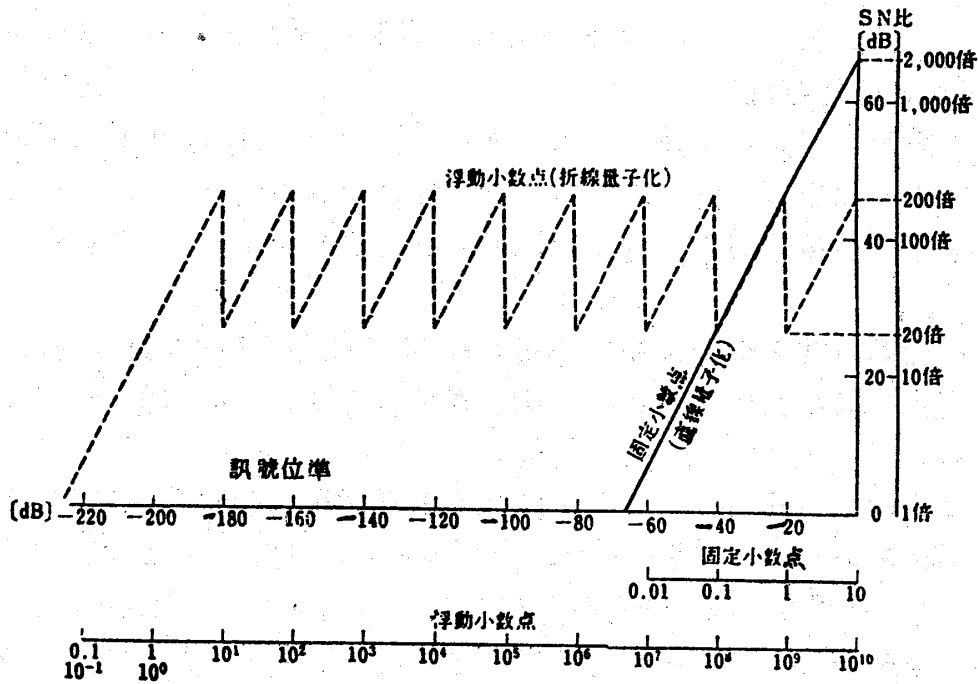


圖 35. 十進位固定小數點與浮動小數點之動態範圍比較

(三) 抵補失真的解決方法

目 A/D 轉換器沒有零誤差的產品問世，按理論而言，只要位元數無限大就可獲得平滑的階梯波，但是事實上要把數位電路做成無限多位元的輸出，還不如將類比信號接映象(mapping)過去來得方便。這就是需要以光學式處理較實用。然而目前一般所用電腦傳送資訊的方式，仍以數位的位元數為主，例如八位元，16位元，32位元，64位元...等。要把類比信號送進去處理，非經 A/D 轉換不可。在數據機(modem)的通信系統上，所採用的 PCM 方式也需用 A/D 轉換器。既然有這麼多地方要用到 A/D 轉換器，它的誤差及有關雜訊便應加以適當地處理，以使系統最佳化。

按前面所討論的量子化雜訊僅包含漏訊(drop out)一項，事實上還有尖波(spikes)，延遲(delay)等問題存在。如圖 36 所示的波形中就含有這些雜訊。其產生的原因為：

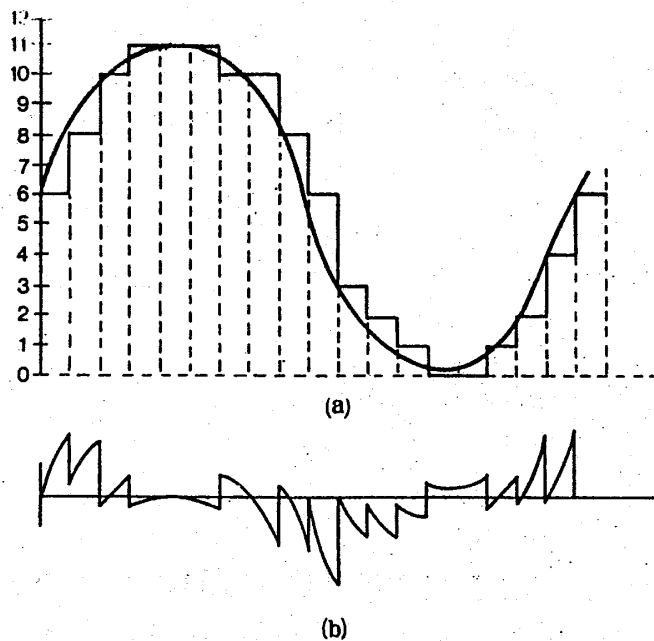


圖 36 (a)量子化波形 (b) 量子化雜訊

1. 取樣頻率未達取樣定理所說的二倍以上頻率,以致量子化信號無法追隨類比信號變化.
2. 轉換時間受 A/D 轉換器內部積分電容及OPA 的轉動率影響而拉長.
3. 抵補失真(offset error)的影響.
4. 非線性失真誤差 (non-linearity) 的影響.
5. 微分過量(excessive differential) 的非線性影響.

以上第一, 二點已在電路類型中分別介紹過. 關於第三點抵補失真介紹如下:

抵補失真係指在無外加類比信號的情況下, 使數位輸出的值歸零所需的外加輸入電壓平均值. 因為要增加此出一抵補電壓歸零. 特別對於因溫度變化造成的offset 電壓進行自動修正.

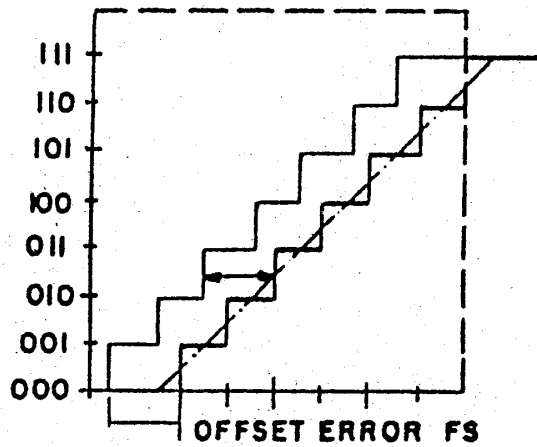


圖 37. 抵補失真現象

要自動地將抵補誤差消除，必須善加利用積分器的空隙時間。以圖 38 為例說明：此積分器在將輸入信號積分之前，平常為 reset 狀態，其間利用本身 OPA 的抵補校正。使信號積分時的抵補電壓  $e_{os}$  為零。(註 16)

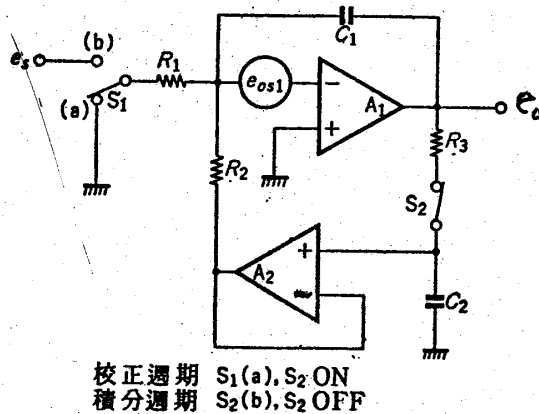


圖 38 能自動 Reset 校正型積分電路

當  $S_1$  切向 a 側， $S_2$  "ON" 後，此電路就構成輸入信號為 0V 時反相放大器，在輸出端所連接的電容器  $C_2$  中就保持著電壓  $e_o$ 。

$$e_o = -e_{os} \frac{R_2}{R_1}$$

因此如果  $R_1 = R_2$ ，電容器  $C_2$  上應有  $-e_{os}$  的電壓。其等效電路如圖 39 所示。

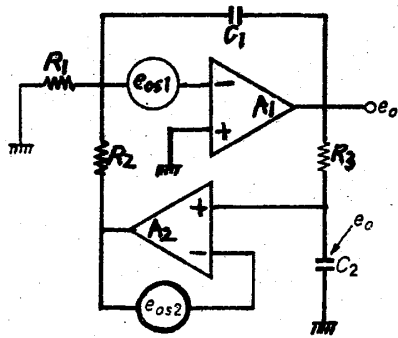


圖39. offset 校正時的等效電路

其次在積分週期，由於電容器 $C_2$ 被接到積分放大器 $A_2$ 的正輸入端而開始積分動作。此時積分輸出為：

$$e_o = -\frac{1}{R_1 C_1} \int_0^t [e_s + (e_{os1} - e_{os2})] dt \dots\dots\dots (公式33)$$

因為此時開關 $S_1$ 已接到b，且 $S_2$  OFF，所以等效電路已變為圖40所示之情況。由公式33可知OPA原有的抵補電壓 $e_{os}$ 已被消除，而可施行正確的積分工作。

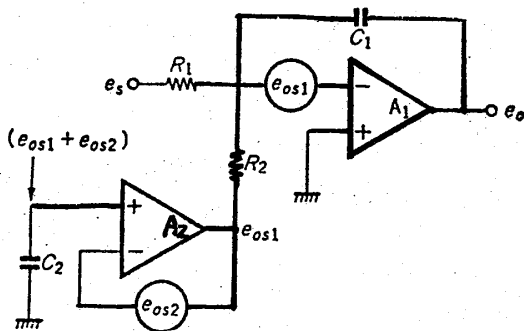


圖40 積分週期的等效電路

根據電路實驗，將圖38之 $A_1, A_2$ ，均用 $\mu A741$ ， $R_1, R_2$ 用 $10K\Omega$ ， $R_3$ 用 $47K\Omega$ ， $C_1$ 用 $0.1\mu F$ ， $C_2$ 用 $1\mu F$ （均用鉭質電容），而 $S_1, S_2$ 用4066電子開關，可使積分時漂

移現象減至1mV 以下(電源電壓用  $\pm 9V$ )。

如果以單一IC作多重積分亦可達成自動消除抵補電壓的目的。其法如下：  
使用Analog Devices 的13 bit 四重積分 IC AD7550 即可進行自動消除  
offset 的A/D轉換。

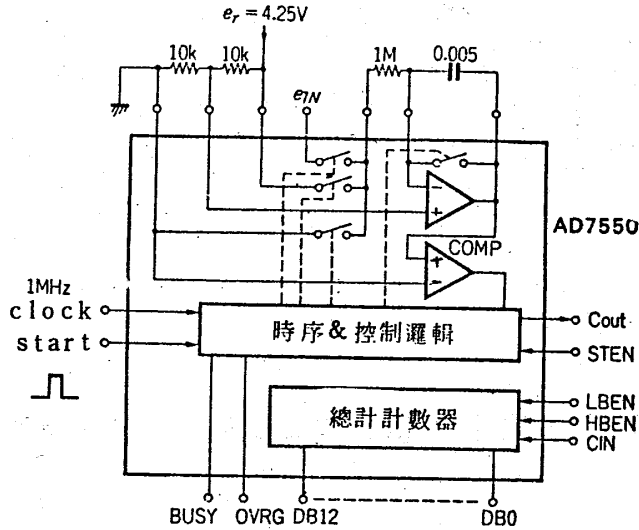


圖41. 以AD7550進行A/D轉換(轉換時間為40ms)

其動作情況說明如下：

將IC內部兩個比較器及其連帶的電子開關，電阻電容改畫如圖42。

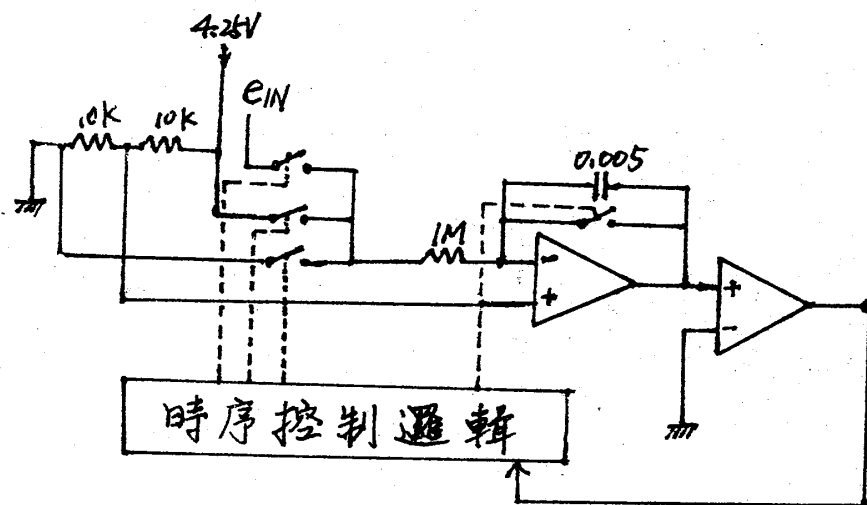


圖42. AD7550 四重積分電路



$V_{REF}, 1/2V_{REF}$  積分. 在每一狀態送入積分器的輸入電壓為:

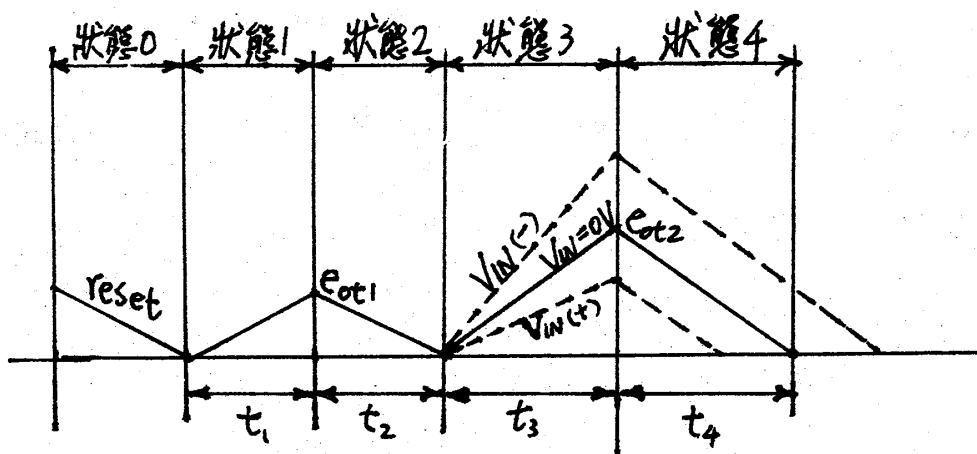
狀態 1:  $e_{IN} = V_{GND} - \frac{V_{REF}}{2} - e_{os} = -\frac{V_{REF}}{2} - e_{os}$

狀態 2:  $e_{IN} = V_{REF} - \frac{V_{REF}}{2} - e_{os} = \frac{V_{REF}}{2} - e_{os}$

狀態 3:  $e_{IN} = V_{IN} - \frac{V_{REF}}{2} - e_{os}$

狀態 4:  $e_{IN} = V_{REF} - \frac{V_{REF}}{2} - e_{os} = \frac{V_{REF}}{2} - e_{os}$

其動作波形如圖 43 所示:



於狀態 1 中由內部計數器在時間  $t_1$  內給予  $-\frac{V_{REF}}{2} - e_{os}$  積分

而  $t_1 = k_1 \cdot t$  ( $k_1$  為脈波數,  $t$  為週期), 因此經  $t_1$  後積分放大的輸出為:

$$e_{ot1} = - \left( -\frac{V_{REF}}{2} - e_{os} \right) \cdot \frac{k_1 t}{RC} = \left( \frac{V_{REF}}{2} + e_{os} \right) \cdot \frac{k_1 t}{RC} \dots (公式 34)$$

在狀態 2 中, 若以  $t_2 = (k_1 + n) t$  考慮, 則將  $e_{ot1}$  降為 0 的積分值為:

$$- e_{ot1} = - \left( \frac{V_{REF}}{2} - e_{os} \right) \cdot \frac{(k_1 + n) t}{RC} \dots \dots \dots (公式 35)$$

其中  $n = \frac{2k_1}{\frac{V_{REF}}{2} - 1 - e_{os}}$

因此  $e_{os} = \frac{V_{REF}}{2} \cdot \frac{n}{2k_1 + n} \dots\dots\dots$  (公式36)

到狀態3時，由狀態1就開始計數的計數器，一直數到固有的計數值  $4k_1 \cdot t$  為止，使  $(-\frac{V_{REF}}{2} + V_{IN} - e_{os})$

積分。因此： $t_3 = 4k_1 t - t_2 - t_1 = 4k_1 t - (k_1 + n)t - k_1 t = (2k_1 - n)t$

積分放大的輸出就為：

$e_{ot2} = (-\frac{V_{REF}}{2} + V_{IN} - e_{os}) \cdot (\frac{2k_1 - n}{RC})t \dots\dots\dots$  (公式37)

然後，在狀態4時，積分時間  $t_4$  應為：

$t_4 = (2k_1 + n + N)$  將  $e_{ot2}$  降為0的積分值為：

$-e_{ot2} = -(\frac{V_{REF}}{2} - e_{os}) \frac{(2k_1 + n + N)t}{RC} \dots\dots\dots$  (公式38)

由公式(36)，公式(37)及公式(38)可算出：

$N = -\frac{V_{IN}}{V_{REF}} k_1 [1 - (\frac{n}{2k_1})^2] - \frac{n^2}{k_1} \dots\dots\dots$  (公式39)

因  $e_{os} \ll \frac{V_{REF}}{2}$  且  $n \ll k_1$

所以  $N = \frac{-V_{IN}}{V_{REF}} \cdot k_1$

可見抵補電壓  $e_{os}$  與輸入電壓  $V_{IN}$  無關。僅計數值  $N$  與  $V_{IN}$  成比例關係。此種A/D轉換器因具有自動消除offset的功能，故可直接接到微電腦的匯流排上作為介面之用。

(四)非線性失真的解決方法

關於非線性失真(non-linearity)，係指當數位輸出變動一個LSB增量時，輸入電壓所需變動的最大值，減去理想的電壓變化值。其失真量為：

$\Delta NL = \Delta V_{max} - \Delta V_{ideal}$

以百分率表之為：

$\%NL = \frac{\Delta V_{max} - \Delta V_{ideal}}{\Delta V_{ideal}} \times 100\% \dots\dots\dots$  (公式40)

其變化曲線如圖44所示。

此種非線性失真是量子化誤差中最難處理的問題，因為它不能以調整的方法消除。基本上，如果要減少非線性失真，有兩種方法：

1. 使用具有更良好直線的更高品質 A/D 轉換器。
2. 用電腦對轉換器隨時作誤差校正。

二者相比，以前者成本較低。譬如在 8 位元的 A/D 轉換器中，其線性誤差係小於  $\pm 1/2$  LSB，若改用 12 位元的 A/D 轉換器(但只利用 8 位個輸出位元)，則其誤差值變為 8 位元的  $\pm 1/32$  LSB，其成本增加不多，而誤差值已獲得改善。

(五) 差分誤差的解決方法

差分線性誤差 (Differential linearity error) 是指量子化值偏離理想值的量。如圖 45 所示，若對應每一單位類比值的理想數位值為  $FSR/2^n$ ，但實際上相鄰二數位值的差量並非此值，就表示有差分誤差存在。假定該 A/D 轉換器的差分誤差為  $\pm 1/2$  LSB，則其實際量子化值應在  $1/2$  LSB 與  $1\frac{1}{2}$  LSB 之間變動。圖中第一及第二階均理想值  $Q = FSR/2^n$ ，第三階就變成  $1/2 Q$ ，第四階變成  $1\frac{1}{2} Q$ ，可見仍在  $\pm 1/2$  LSB 的誤差範圍內。

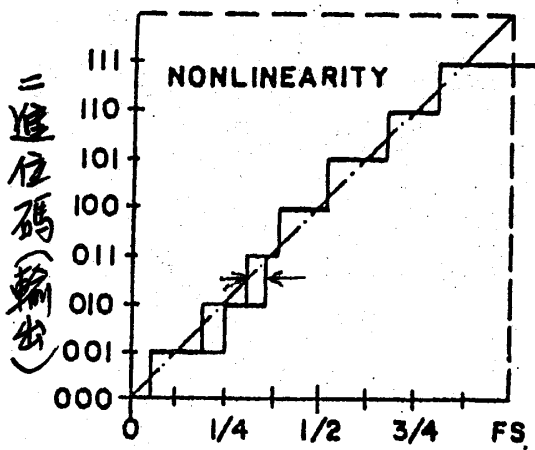


圖 44. 非線性失真情形

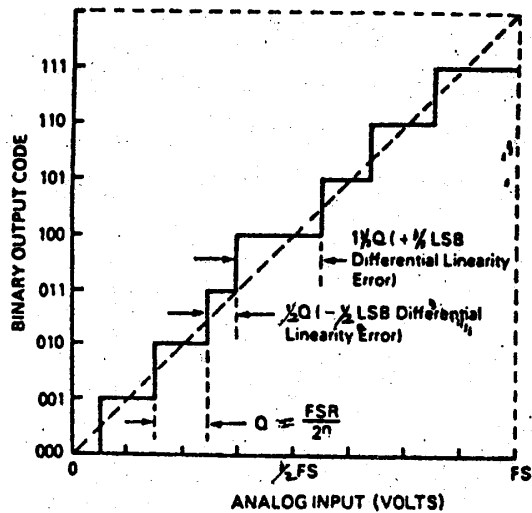


圖 45. 差分誤差的反應情況

但若差分誤差值大於  $\pm 1$  LSB，轉換後的數位值就會漏掉(如圖 46 所示)，造成訊號的殘缺情況。

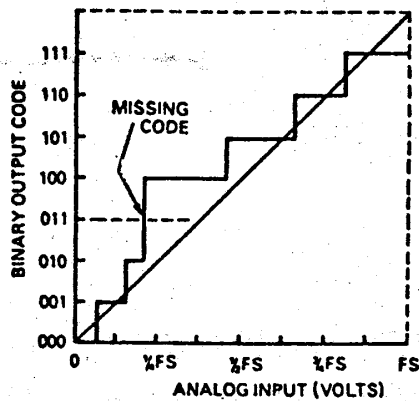


圖 46. 差分誤差太大造成的漏訊

要減少差分誤差現象，必需注意：

1. 減少線性失真與抵補失真(如前所述)。
2. 採用雙斜波積分型 ADC 或電荷平衡型 ADC 電路。
3. 使用恆流特性較佳的 IC 式 ADC, 使其當位元數轉換最多時(如從 01111111 轉為 10000000), 每一位元均能在同一時間內轉換完成。

(六) 溫度誤差的補償方法

如果該 ADC 工作在定溫環境, 其抵補誤差和增益誤差可藉外加溫度調節器而調整到零誤差。但是如果外界溫度一直改變, 則所有誤差均可能同時出現。圖 47 顯示因溫度變而造成的失真情況, (a) 因為雙斜波積分式 ADC 的失真情況, (b) 圖則為連續漸近式 ADC 的轉換失真情況。

此外, 如果 ADC 的位元數愈多, 則其線性工作範圍愈小, 圖 48 表示初期線性誤差為  $\pm 1/2$  LSB 時, 各種不同元 AD 轉換器能維持線性工作的範圍。

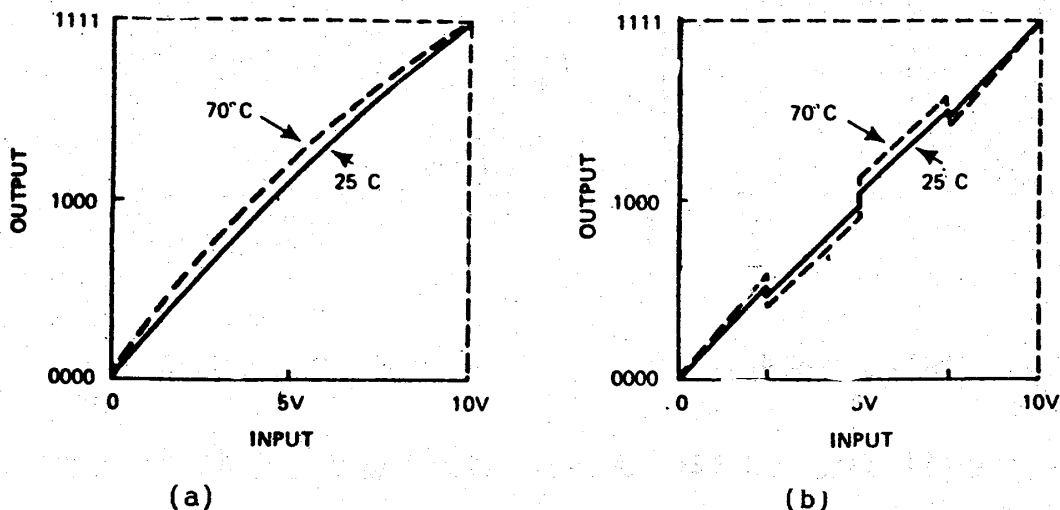


圖 47. 溫度變化造成的失真情況

(a) 雙斜波積分式ADC

(b) 連續漸近式ADC

因為各種不同型式的ADC電路受溫度變化的影響並不相同，所以若要作補償調整必須各個電路予以詳細解說，此處限於篇幅，僅就一般性的作法加以說明。  
(註17)

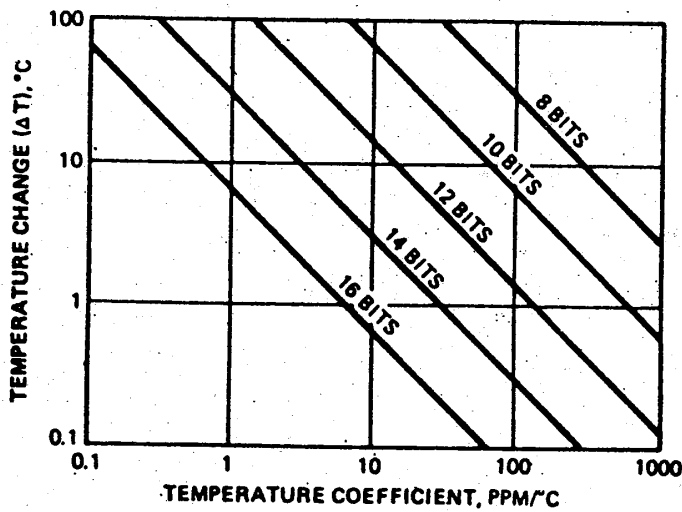


圖48. 不同位元數的溫度特性

1. 選用單極性元件組成的ADC。比用雙極性元件組成的ADC，不易受溫度變化的影響。其漂移情況的差別，如圖49所示。

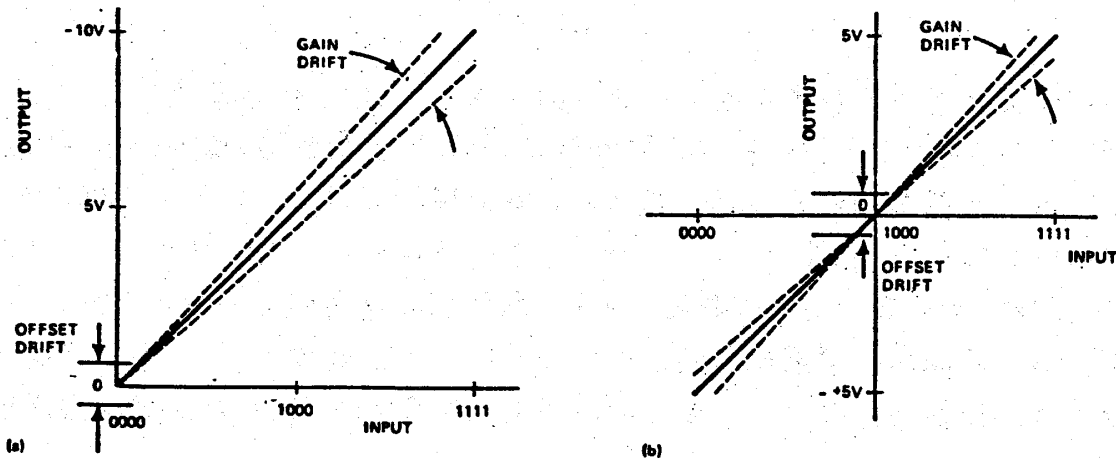


圖49. 抵補失真及增益失真

- (a) 單極性元件  
(b) 雙極性元件

2. 利用具有溫度補償特性的二極體，作為參考電壓的調節元件。圖 50 是在類比信號輸入端，加接一組二極體電路，其中稽納二極體的電壓為 5.6V，溫度係數為  $+2 \text{ mV}/^\circ\text{C}$ ，而串接的矽二極體接面溫度係數則為  $-2 \text{ mV}/^\circ\text{C}$ ，因此可以作補償調整用，其穩定度在  $-25^\circ\text{C}$  到  $+85^\circ\text{C}$  間為  $10 \text{ ppm}/^\circ\text{C}$ ，(此值愈小愈好)，效果尚佳。

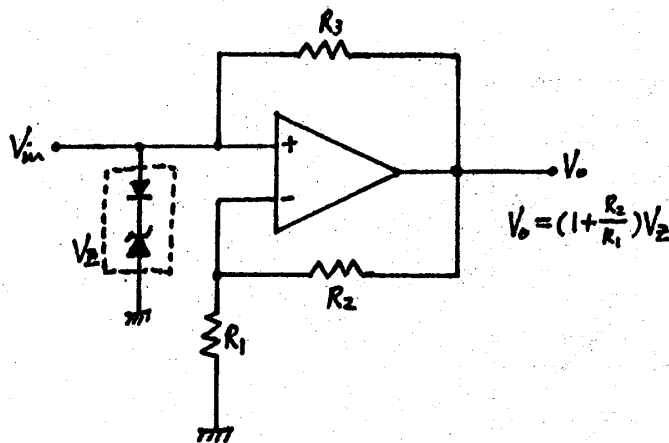


圖 50. 溫度補償參考電路

3. 利用微電腦進行每一位元數碼的校正，先作抵補校正，再作增益校正。由於利用掃描方式校正，每一位元線均不會漏掉，以 8 位元而言，在滿刻度範圍內，可劃分成 256 步階，即  $0.0016 \% \text{ FS}$ 。因此位元數愈多，校正時間的劃分愈細。通常只要溫度開始變動，微電腦立即進行校正，因此不易產生偏差，只是成本較高。

## 伍. 結論

A/D 轉換器已成為最重要的計算機界面電路，它的量子化效果直接影響到計算機的正作結果。本研究基於其重要性日增，曾進行數次實驗，採用市售 ADC，如 AD7550 (四斜率 13 位元 ADC)，8703 (電荷平衡型 8 位元 ADC)，ADC0800, 0801, 0804 (8 位元雙斜波 ADC)，LM3914 (並聯比較式，10 位元輸出)，ADC0808 (8 位元連續漸近式) 等不同種類之 ADC，利用示波器與邏輯分析器觀測其工作情況，發現最能與微電腦配合的為雙斜波 ADC，其次為連續漸近式，電荷平衡式，效果最差的為並聯比較式，主要原因為沒有用時鐘脈波控制，無法做同步處理。

在失真的處理上，經過實驗後，發現下列原則可以減少失真度：

1. 使用 CMOS 的 AD 轉換器。
2. 使用溫度特性較好的金屬皮膜電阻器。
3. 使用漏電量少的鉭質電容器。
4. 使用二極體溫度補償電路。
5. 避免輸入電壓超過 IC 的電源電壓。
6. 在信號輸入端加上取樣維持電路,使 ADC 有充分時間進行轉換。
7. 如果要把大的類比信號轉換為數位信號。必須在前端加上衰減的緩衝器(如低通濾波器)。
8. 接線時應把類比信號線與數位信號線盡量隔開,不使其並行排列,以減少電場干擾。
9. 電路中的接地點應聯接為一點,若各自接地,易造成回路電流與電位偏移。
10. 電路接好後,應先作歸零調整與增益調整,使最小值小於  $1/2$  LSB,最大值接近滿刻度的  $1/2$  LSB。

鑑於儀器精確度的不足,無法做16位元以上A/D轉換器的實驗。若儀器能配合,尚可進行下列研究:

1. 高頻鐘脈波用在取樣工作的上限頻率。
2. 利用時間延遲進行抵補誤差的調整。
3. 類比信號可變換數位信號的上限變化率。

### 附註

- 註1:參閱 Data Acquisition & Conversion Handbook PP.1-5 by Eugene L. Zuch 1979.
- 註2:參閱 數位音響基本理論與最新技術 朱明春譯 協進圖書有限公司  
民國72年7月 PP.
- 註3:參閱同上 P.57
- 註4:參閱同上 P.59
- 註5:參閱同註1 P.5 Aperture Time
- 註6:參閱如註2 P.148
- 註7:參閱如註1 P.11
- 註8:參閱 D/A and A/D Conversion Circuits by Degen Co. 1980. P57.
- 註9:參閱 Apple 微電腦介面實驗 孫宗瀛著 全華科技圖書公司 民國70年 P.402
- 註10:參閱如註8 P.48
- 註11:參閱如註8 P.52
- 註12:參閱如註9 P.400 註13:參閱如註1 P.19

- 註14:參閱 Analog Devices by Daniel H. Sheingold 1079. P.123
- 註15:參閱 Time division multiplexing : Sampling & Multiplexing PCM & data modulation by Degen Co. P.53 1980.
- 註16:參閱 アナログ回路のトラブル 對策 蒲生長治著 CQ出版社 1980
- 註17:參閱 A/D, D/A轉換電路設計 陳宏義、利慶榮編譯 全華科技圖書公司 民國76年 PP.23-125

### 參考文獻

- 王家通、吳裕益，師大與師院是否充分發揮其應有功能，師院院刊，民國72年11月4日，31-2。
- 師大輔導中心，師大學生生活態度調查研究，民國72年。
- 教育部高教司，大學校院必修科目表，民國72年。
- 張春興，從師大學生的求學心態檢討師教法「加強師範生專業精神構想的成效，師大教育心理學報，民國72年，(16)，1-28。
- 黃炳煌，論我國大學之通才教育，載於張建邦等著，中國大學教育的展望，台北：淡江大學教育研究中心，民國74年，61-77。
- 劉源俊，大學教學制度改革芻議，載於張建邦等著(民74)，43-60。